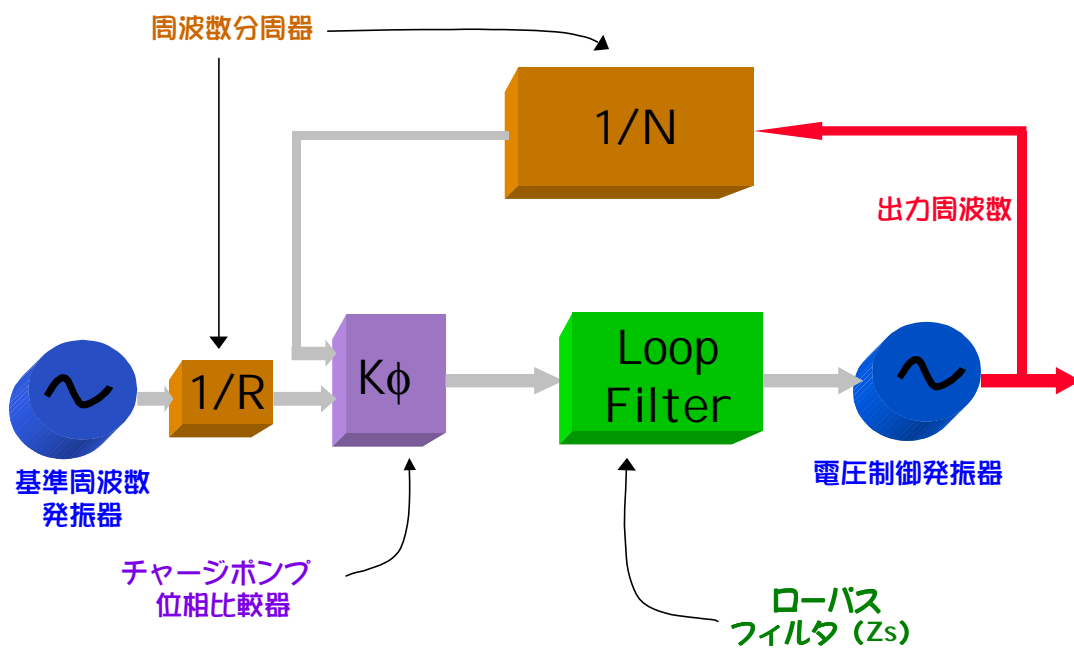


PLL の性能・シミュレーション・設計



Dean Banarjee 著

飯島貞一郎・村岡浩志訳

Copyright 2001 National Semiconductor

第1版

目次

パート I はじめに

i.	PLL の構成	5
ii.	パッシブ・ループ・フィルタとチャージ・ポンプ	7
iii.	システム・レベルから見た PLL	9

パート II PLL の性能

スプリアス

1.	リファレンス・スプリアスとその原因	13
	リファレンス・スプリアスの原因とその対策について説明します。	
2.	リファレンス・スプリアス以外のスプリアスの原因	25
	スプリアスの別のタイプ、その原因および対策について説明します。	

位相ノイズ

3.	PLL システムにおけるノイズ・ソース	35
	位相ノイズの原因とその概算値を得る方法について検討します。	
4.	RMS 位相誤差および信号対ノイズ比	51
	RMS 位相誤差の意味、計算、重要性について検討します。	

ロックアップ時間

5.	PLL 周波数シンセサイザの過渡応答	57
	ロックアップ時間の問題を紹介し、関連するすべての式を導出します。	

その他のトピックス

6.	理論好きの方のための位相周波数比較器に関する考察	69
	位相周波数比較器の動作に関する疑問点を検討します。	

パート III PLL 設計

パッシブ・ループ・フィルタの設計法

7.	PLL ループ・フィルタ設計の基礎	77
	PLL ループ・フィルタ設計の設計方程式を示します。	
8.	2次パッシブ・ループ・フィルタの方程式	81
	2次 PLL ループ・フィルタの設計方程式を示します。	
9.	3次パッシブ・ループ・フィルタの方程式	85
	2次 PLL ループ・フィルタの設計方程式を示します。	

10. **4次以上のループ・フィルタ設計** 95
4次以上のループ・フィルタの設計方程式を示します。

スプリアスを低減する PLL 設計法

11. **リファレンス・スプリアスを最小化するループ・フィルタ設計** 103
Do 端子を用いたアクティブ・フィルタにオペアンプを付加する方法を論じます。
12. **ファーストロック機能を使用した PLL 設計** 109
オペアンプとともに高速同期切換端子を用いてアクティブ・フィルタを設計する方法を論じます。

VCO の高電圧制御のためのアクティブ・フィルタ

13. **高電圧制御フィルタの簡単な方法** 113
Do 端子を用いてアクティブ・フィルタにオペアンプを付加する方法を論じます。
14. **ϕ_r および ϕ_p 端子を用いるループ・フィルタの設計** 115
 ϕ_r および ϕ_p 端子を用いてアクティブ・フィルタを設計する方法を論じます。
15. **Do 端子とオペアンプを使った別のアクティブ・フィルタ設計** 119
フィードバック・ループの回路要素とともにオペアンプを用いる方法を論じます。
16. **高電圧制御フィルタの設計** 127
トランジスタを用いて VCO の制御電圧を大きくする設計について論じます。

パートIV 追加トピックス

17. **同期検出回路の構成と解析** 135
より高感度の同期検出回路の構成法とその動作を検討します。
18. **PLL におけるインピーダンス整合の問題および技法** 141
VCO 出力を PLL 入力に整合させる方法を論じます。
19. **PLL ループ・フィルタのラウスの安定性** 145
PLL ループ・フィルタ設計に応用する場合のラウス安定条件を論じます。
20. **ループ・フィルタの解析例** 149
Mathcad シミュレーション・ツールを用いたループ・フィルタ解析の例を示します。
21. **PLL の設計と性能に関するその他の課題** 157
N 値の選択、ピーキングと位相余裕度、感度、比較周波数の選択、まとめ

パートV 補足

22. **用語解説と略語** 163
略語の一覧とともに本書で使用した PLL 用語を解説します。
23. **参考文献** 173

i. PLL の構成

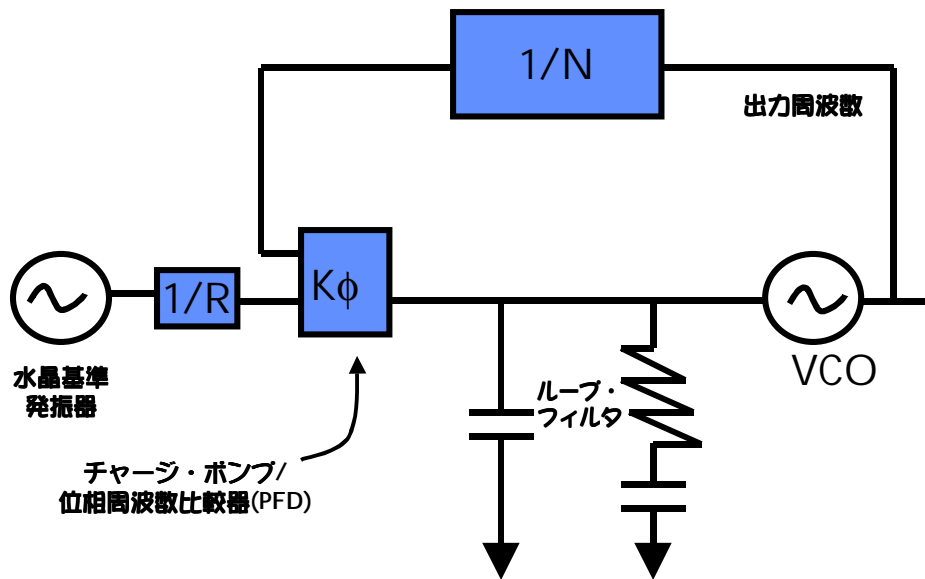


図1 基本PLL構成

PLLの基本動作と基本用語

本章では **PLL** (Phase Locked Loop : 位相同期ループ) の基本動作と本書を通じて用いられる用語について説明します。PLL は、安定な水晶基準入力周波数 (**XTAL**) で動きます。この周波数は、比較周波数 (**F_{comp}**) と呼ばれる低い周波数に **R** 分周されます。位相比較器は、基準比較周波数と **N** 分周された **VCO** 出力周波数との間の位相誤差に比例した平均直流電流を出力します。この比例定数を **Kφ** と呼びます。この定数はチャージ・ポンプが吐き出したり吸い込んだりする電流の振幅です。多くの場合、厳密に言うとは正しいのですが、この項は $2 \cdot \pi$ で割った形で表されるのが好まれます。しかし、本書のすべての式において別の係数 $2 \cdot \pi$ でキャンセルされますので、 $2 \cdot \pi$ で割るのは不必要に数式を複雑にします。したがって、厳密には、**Kφ** の単位は mA/($2 \cdot \pi$ ラジアン) で表されます。

位相比較器からこの直流電流値をとり、ループ・フィルタ (**Z(s)**) のインピーダンスと掛け合わせれば、**VCO** へのコントロール入力電圧が得られます。**VCO** は電圧周波数変換器で、比例定数は **K_{vco}** です。ループ・フィルタは、パッシブ・フィルタであり、ディスクリート部品で構成されています。このループ・フィルタはアプリケーションにより異なり、本書においては大半がループ・フィルタについて述べています。この **VCO** への制御電圧で、**N** 分周された周波数の位相が、比較周波数の位相と等しくなるように **VCO** の出力位相を制御します。位相は周波数の積分ですから、位相を等しくすることは周波数を等しくすることを意味します。この出力周波数は、次のように与えられます。

$$\text{出力周波数} = \frac{N}{R} \cdot \text{水晶基準周波数}$$

これは、PLL がロック状態であるときのみ、適用される式であり、PLL が収束途中の時には、適用されません。通常 **R** は、固定値を使用し、**N** は容易に変更可能です。もし **N** と **R** とが整数なら、PLL は比較周波数の倍数周波数しか発生できません。このため、多くの人々が比較周波数とチャンネル間隔が同じものだと考えています。そのような場合がよくありますが、必ずしもそうとは限りませ

ん。フラクショナル N PLL では、N は整数とは限られていませんし、したがって比較周波数はチャンネル間隔より相当大きな値になります。N の値はプリスケアラで制限されていますが、この制限を越えるため比較周波数をチャンネル間隔より小さく選ぶような場合はあまりありません。一般に、性能を最適化するためには比較周波数をできるだけ高くするのが好ましいとされます。

通常 PLL は、図 1 に示されるシステム全体を表しますが、しばしば、水晶発振器や VCO を除いたシステム全体として表現されます。これは、水晶発振器や VCO を PLL シンセサイザ・チップに集積するのが難しいからです。

R カウンタの出力から VCO の出力までの伝達関数を考えると、これが PLL の重要な性能上の特性を決めています。この閉ループ系の帯域幅をループ帯域幅 (ω_c) と呼び、ループ・フィルタの設計と PLL の性能との両方にとって重要なパラメータです。もう 1 つのパラメータの位相余裕度 (ϕ) は、R カウンタ出力から VCO 出力までの開ループ位相伝達関数の位相を 180 度から差し引いたものです。位相余裕度はループ帯域幅に等しい周波数で評価します。このパラメータはループ帯域幅ほどではありませんが、性能に対し大きな影響があり、安定度の尺度になります。

周波数シンセサイザとしての PLL

PLL には何十年にもわたる歴史があります。初期のアプリケーションとしては発電機の位相同期や TV 受像機の同期パルスの同期などがあります。その他のアプリケーションとして、非同期のデータ信号からのクロック・リカバリや FM 信号復調などがあります。しかし、本書では周波数シンセサイザとしての PLL に焦点を当てます。

この種のアプリケーションでは、PLL は個別的に 1 組の周波数を発生するために用いられます。このよい例が FM ラジオです。FM ラジオでは、周波数の有効範囲は 88~108MHz で、0.1MHz ずつ離れています。したがって、このアプリケーションでは、チャンネル間隔は比較周波数に等しく、100kHz です。たとえば、98.7MHz は有効なチャンネルですが、98.627MHz は有効ではありません。この周波数を発生するため、10MHz の固定水晶発振器が用いられます。選択したこの水晶発振器についての R 分周値は 100 です。したがって、N 値は PLL にプログラミングされ、その範囲は、880~1080 です。98.7 MHz の局を聞いていて 103.4 MHz にチャンネルを切り換えると、R 値は、100 のままですが、N 値は、987 から 1034 に変わります。一度 N カウンタ値を変えると PLL を切り換えるのに若干の時間がかかります。PLL が所定のチャンネルに到達すると、PLL は、純スペクトラム的なものではなく、若干のノイズを含むこととなります。PLL がチャンネルの切り換えに要する時間やその信号のスペクトラム成分の純度は、位相余裕度やループ帯域幅に大きく依存しますが、それらはまたさらにループ・フィルタに依存するものでもあります。ループ・フィルタの性能への影響度が大きく、PLL の設計担当者によっても変わるため、本書でもそれらに重点を置いて説明しています。

ii. パッシブ・ループ・フィルタとチャージ・ポンプ

なぜ、PLL のチャージ・ポンプに注力するのか？

本書は、主としてチャージ・ポンプ PLL に焦点を当てています。現在 PLL の市場で圧倒的に多いのが、このタイプだからです。チャージ・ポンプ PLL は、無限大のプルインレンジやゼロ定常位相誤差など、従来の電圧位相比較器型 PLL より優れた点が多数あります。すでに、電圧位相比較器に固有の機能に関しては、夥しい数の文献が詳細に論じています。このため、位相比較器の詳細にあまりとらわれずに、PLL のその他の特徴についてページを割くことができます。さらに、電圧位相比較器とアクティブ・フィルタの組み合わせを用いても、依然多くの利点がありますが、チャージ・ポンプ PLL ではパッシブ・フィルタも用いることができます。パッシブ・フィルタは低コストでノイズを付加しないので、通常はパッシブ・フィルタをお勧めいたします。ただし、VCO の制御電圧が PLL が供給できる電圧より高い必要がある場合は例外です。この場合アクティブ・フィルタが必要になります。

従来の電圧位相比較器

これまでは、Floyd Gardner の古典的な著作 "Phaselock Techniques" で詳解されているようないくつかの理由から、アクティブ・フィルタが注目されてきました。今でもこれらの多くのコンセプトはチャージ・ポンプ PLL に適用できますが、定常位相誤差のように適用できないコンセプトも多くあります。XOR ゲートやミキサはどちらも位相比較器を実現する実際の方法として論じられております。Gardner の著作では、次のような従来型のアクティブ・ループ・フィルタのトポロジが紹介されています。

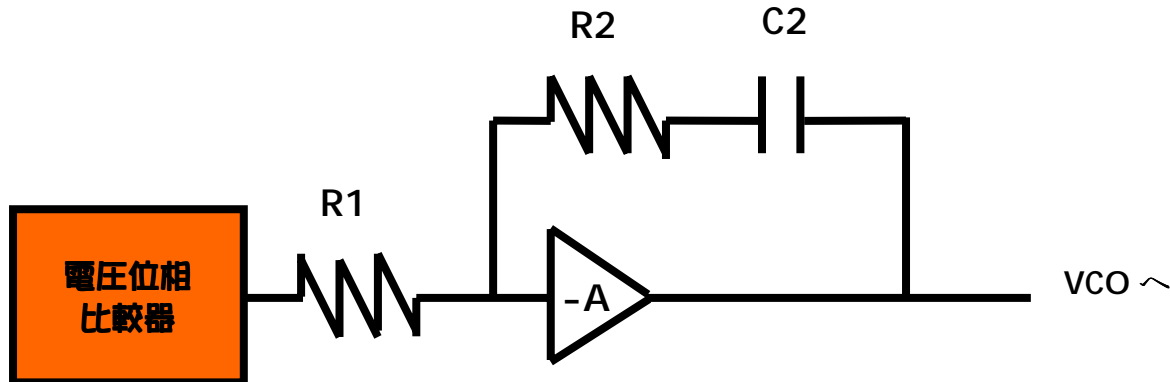


図 1 電圧位相比較器の従来型のアクティブ・ループ・フィルタ

現在のチャージ・ポンプ位相周波数比較器とその利点

チャージ・ポンプ位相周波数比較器には、電圧チャージ・ポンプに比べいくつかの優れた点があり、電圧チャージ・ポンプはほとんどチャージ・ポンプ位相周波数比較器に置きかえられています。位相周波数比較器や、チャージ・ポンプは通常 PLL シンセサイザ・チップに集積されています。このような方法をとると、定常位相誤差とホールド・レンジの問題を完全に回避できます。このチャージ・ポンプと位相比較器の組み合わせは、図 2 に示されるように、前述の従来型のものと比較されます。下記の点線で囲まれた回路は、オペアンプの機能を集積しています。また、位相比較器の電圧ゲインは、電圧ゲインから電流ゲインへ変換するため、R1 で分圧しなければなりません。

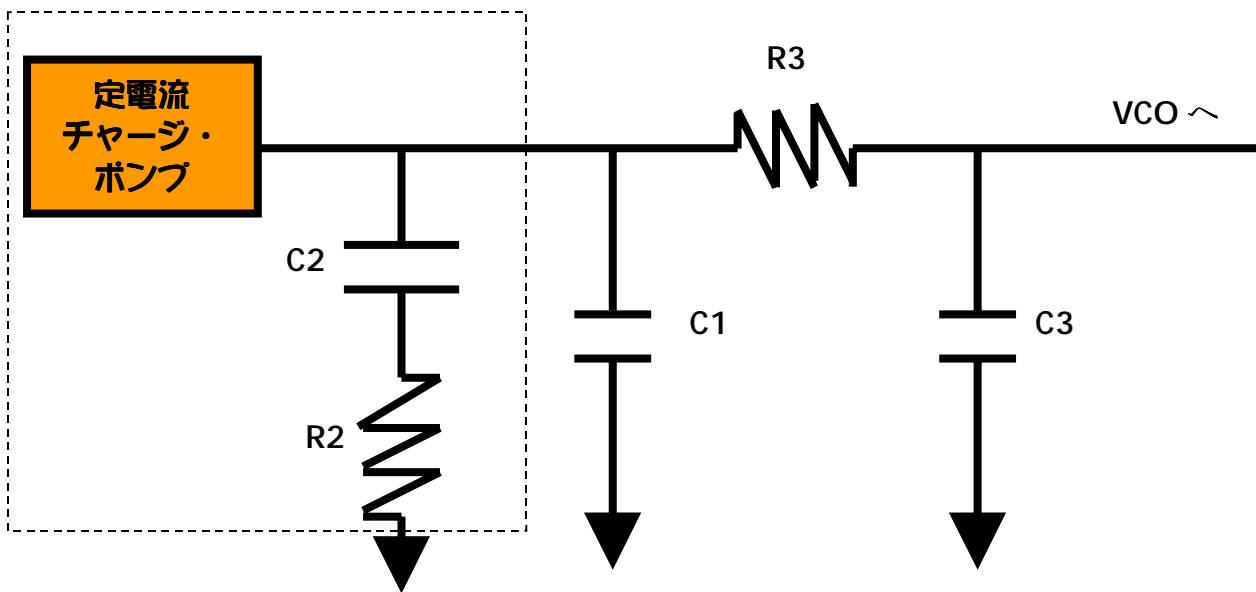


図2 パッシブ・ループ・フィルタとチャージ・ポンプ

スプリアス・レベルを十分に低減させるため、キャパシタ C1 が付加されております。また、R3、C3 の部品は、更にスプリアスレベルを低減させる場合に、追加することが可能です。このパッシブ・フィルタには、オペアンプの機能が含まれています。位相誤差に比例した電圧を出力する位相比較器に対し、チャージ・ポンプは平均値が位相誤差に比例する電流を出力します。この電流は、実際には、デューティ・サイクルが可変で、振幅が一定のものです。通常、この電流を平均値が位相誤差に比例しているアナログ電流としてモデル化すれば十分です。これは、連続時間近似と呼ばれ、本書でもほとんどの章で使われています。

iii. システム・レベルから見た PLL

はじめに

この章では、ワイヤレス・アプリケーションで PLL がどのように使われているのかについて、きわめて基本的なレベルで論じます。また、なぜ位相ノイズ、リファレンス・スプリアス、ロックアップ時間が相互に関連性があるのかについても簡単に触れます。

典型的なワイヤレス受信器のアプリケーション

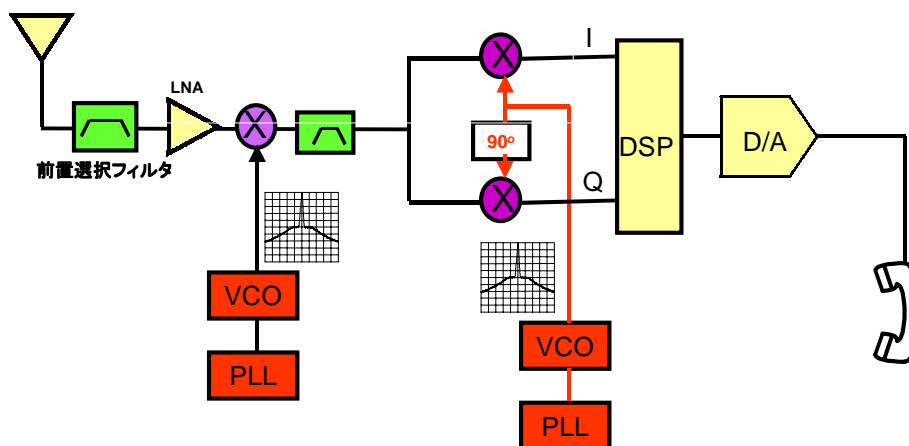


図 1 PLL 受信器の典型的な応用例

一般的な受信器の定義

上図のアンテナ部では、複数の異なる周波数チャンネルが受信され、各チャンネルには固有の周波数が割り当てられています。受信系の最初の PLL は、ミキサ出力を一定周波数になるように制御します。ミキサから先を固定周波数とし、また低い周波数に変換することで、信号をフィルタリングする等の取り扱いが簡単になるようにするためです。次段の PLL は信号から情報を取り出すために使われます。コスト、サイズ、消費電流等の明らかなパラメータの他に、アプリケーション固有のパラメータが 3 つあります。これらのパラメータは、位相ノイズ、リファレンス・スプリアス、ロックアップ時間で、ループ・フィルタの回路定数の影響を大きく受けます。したがって、一般的にはアプリケーション、回路部品、設計パラメータが厳密にわからない限り、データシート上では保証されません。

このシステムに関連する位相ノイズ、リファレンス・スプリアス、ロックアップ時間

位相ノイズは PLL が発生するノイズのことです。位相ノイズはビット誤り率と、システムの信号対ノイズ比とを悪化させます。リファレンス・スプリアスは、比較周波数の倍数周波数で発生する不要なスパイク状のノイズで、ミキサによって必要な信号と同じ帯域に周波数変換されたりすることがあります。リファレンス・スプリアスは所望の信号を覆い隠したり、劣化させたりすることがあります。ロックアップ時間は PLL が周波数を切り換えるのにかかる時間です。ロックアップ時間は、切り換え周波数の大きさや周波数誤差の受容範囲に依存します。PLL が周波数を切り換えている時にはデータが伝達されませんので、PLL のロックアップ時間はデータ転送率を低下させないよ

う十分高速でなければなりません。位相ノイズ、リファレンス・スプリアス、ロックアップ時間は本書でこのあと詳細に論じます。

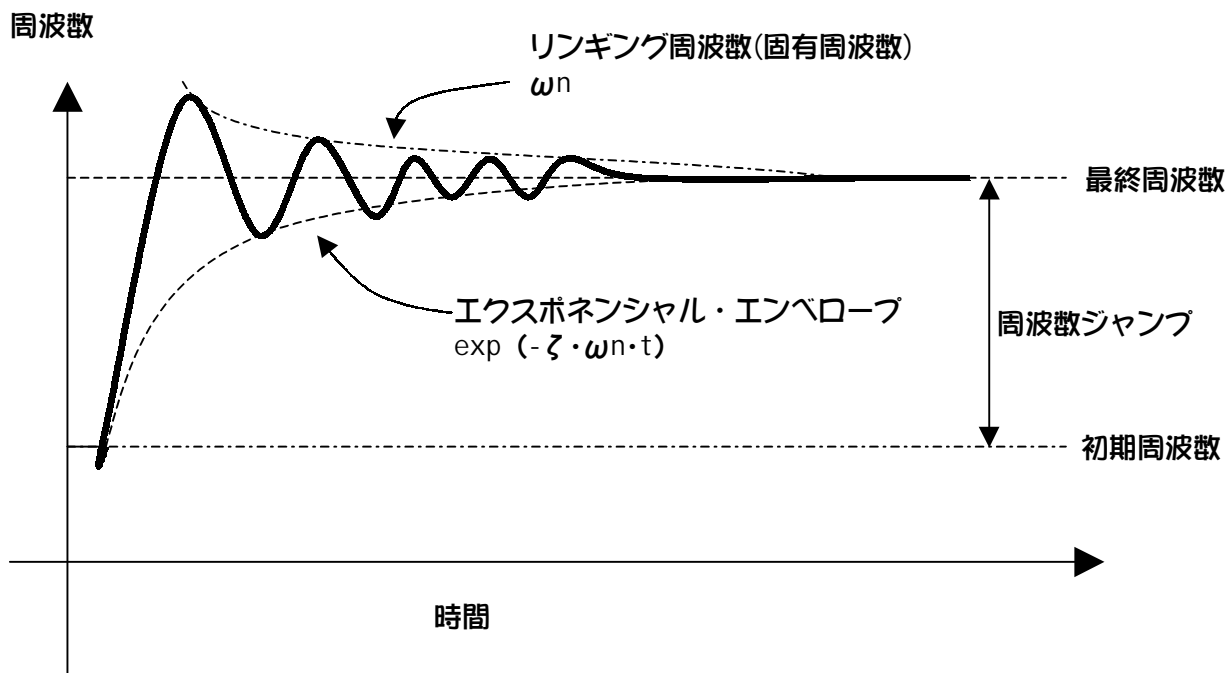
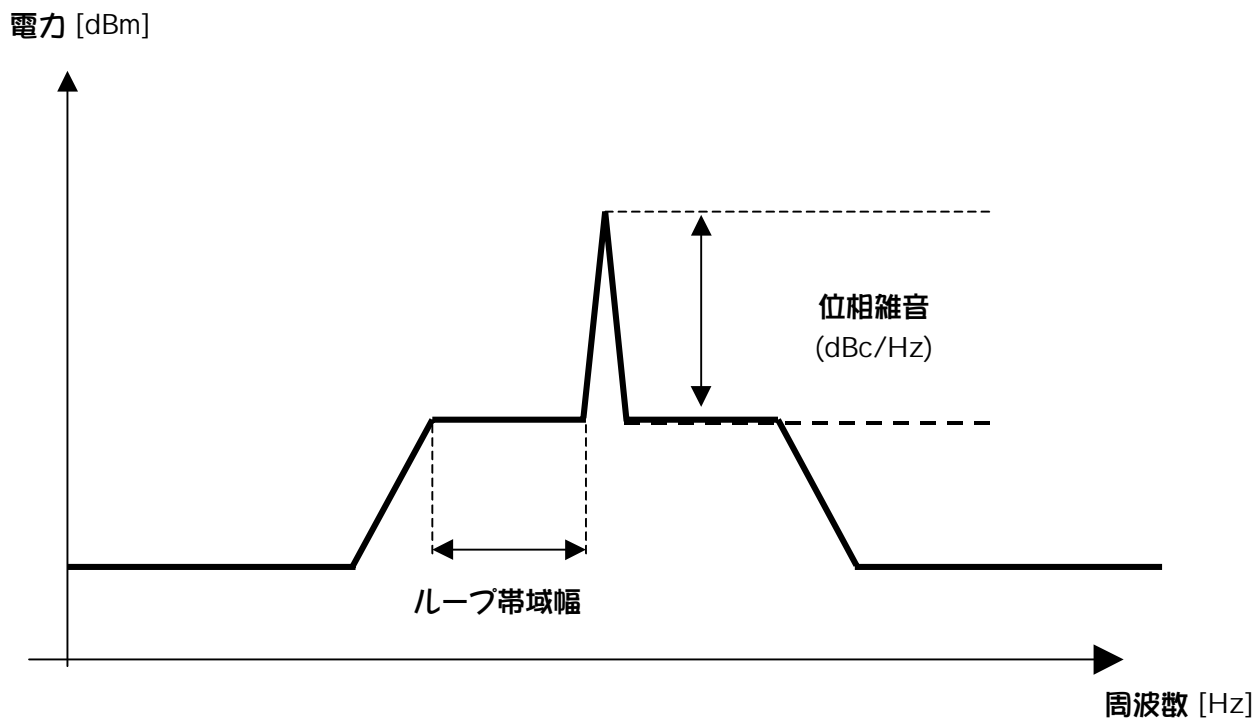
図 1 の受信器で示すように、通常アンテナに近い最初の PLL は、設計の見地から最も難しい部分になります。なぜなら、高周波でかつ周波数可変でなければならないからです。このため、一般的にはロックアップ時間とリファレンス・スプリアスとに対する条件が厳しくなります。不要なチャネルがアンテナ部でフィルタリングされないからです。

次段の PLL は、周波数が低く可変でないので実現は容易です。このためロックアップ時間に対する条件はずっと簡単になります。リファレンス・スプリアスの高周波化とロックアップ時間の高速化とはトレード・オフの関係になるので、ロックアップ時間の条件が緩和されると、リファレンス・スプリアスに対する条件を満足しやすくなります。次段の PLL に入力される信号はすでにフィルタを通してあるので、位相ノイズとリファレンス・スプリアスの条件を緩和することができます。

結論

PLL は、周波数合成する必要があるどんなアプリケーションについても使用できる基本的なシステム構成要素です。アプリケーションによって、位相ノイズ、リファレンス・スプリアス、ロックアップ時間に条件がつきます。位相ノイズ、リファレンス・スプリアス、ロックアップ時間は使用する VCO とループ・フィルタによって大きな影響を受けます。つまり、これらのパラメータはアプリケーションにより固有のものであります。

PLL の性能とシミュレーション



1. リファレンス・スプリアスとその原因

はじめに

PLL の周波数合成においては、リファレンス・サイドバンド、スプリアス出力などが設計上問題になります。これらスプリアス出力にはいくつかのタイプがあり、多くの異なる原因によりもたらされています。しかしこれまでのところ、最も一般的なタイプのスプリアスは、リファレンス・スプリアスです。このスプリアスは、比較周波数の整数倍に現れます。

この章では、リファレンス・スプリアスの原因と最小化する方法を説明します。一般に、スプリアスはチャージ・ポンプのリークまたはミスマッチのどちらかの原因で発生します。リファレンス・スプリアスの原因によって、比較周波数やループ・フィルタを変更した時の動作が異なることがあります。一般には、リファレンス・スプリアスの支配的要因は普通チャージ・ポンプのリークかチャージ・ポンプのミスマッチです。アプリケーションによってどちらの原因が支配的になるかは後述します。リークまたはミスマッチに関係したスプリアスを論じる前に、スプリアス・ゲインと呼ぶ基本概念を議論します。スプリアス・ゲインを正確に理解することは、リファレンス・スプリアスがフィルタによってどのように変わるか理解するための第 1 歩です。この概念を身につけた後、リークとミスマッチが支配的要因のスプリアスとを論じ、これらの結果をまとめます。

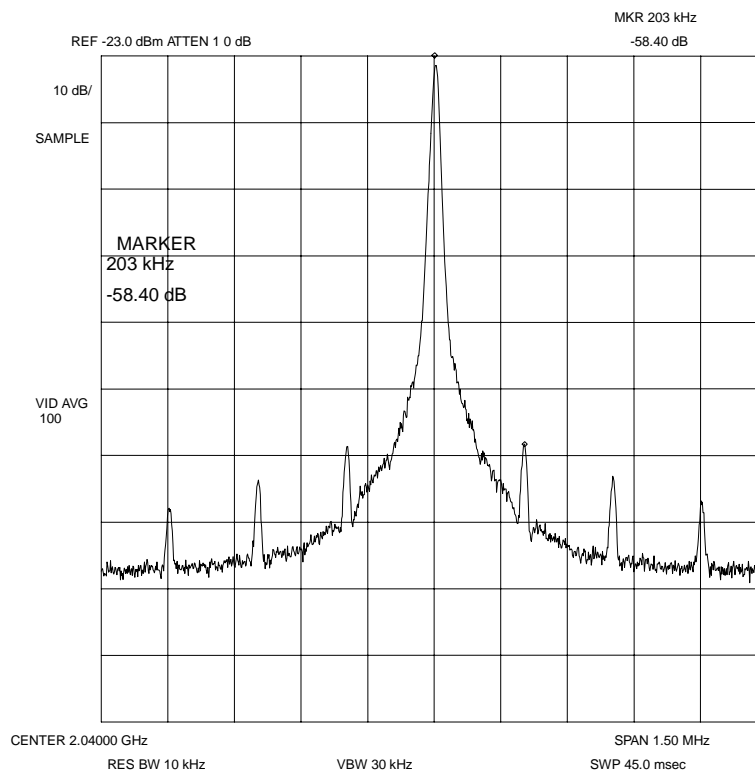


図 1 典型的なリファレンス・スプリアス

スプリアス・ゲインの定義

概念的には、固定周波数で所定の電流ノイズをループ・フィルタに注入したのち、それが VCO に誘導する周波数ノイズの電力がスプリアス・ゲインの定義の始まりになります。しかし、あとの計算を簡単化するため、伝達関数に $1/s$ というファクタを追加します。これは周波数の変化ですから、位相から周波数へ変換するためには、伝達関数に係数 s をかける必要があります。 $1/s$ のこのファクタが式の中に残るのは、他のファクタのために再び取り入れられるためです。さらにこのファクタのため、スプリアス・ゲインは無単位量になります。リファレンス・スプリアス電力を求めるには、このゲインを 2 乗する必要があり、最終的には便宜上デシベル表示します。

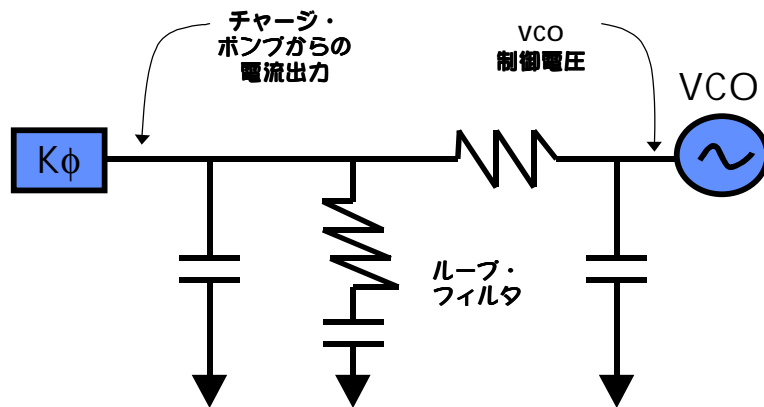


図 2 一般的な 3 次ループ・フィルタ

$$\text{スプリアス・ゲイン} (F_{\text{spur}}) = 20 \cdot \log \left(\left\| \frac{K\phi \cdot Z(s) \cdot K_{\text{vco}}}{s} \right\|_{s=j \cdot F_{\text{spur}} \cdot 2\pi} \right) \quad (1)$$

スプリアス・ゲインは、VCO ゲイン、チャージ・ポンプ・ゲイン、ループ・フィルタ・インピーダンスの積を問題のスプリアスと同じ周波数 F_{spur} だけ離れた周波数で見たものになります。スプリアスがリーク支配性かミスマッチ支配性かによって、さらに補正が入ります。ほとんどの場合、 F_{spur} は比較周波数 F_{comp} と仮定しますが、比較周波数の倍数周波数や分数周波数（フラクショナル N PLL の場合）などの別の周波数のこともあります。

スプリアス・ゲインの他にもスプリアス・レベルに寄与する要因があり、スプリアスがリーク支配性かミスマッチ支配性かによります。熱心なユーザの方々は、なぜ閉ループ伝達関数ではなく開ループ伝達関数を用いられるのか疑問に思われるかもしれません。リーク支配性スプリアスの場合は、チャージ・ポンプがオフの時の応答がスプリアスの原因になるからです。チャージ・ポンプがオフのとき、開ループ伝達関数を用いるのは理解できるでしょう。ミスマッチ支配性スプリアスの場合どちらの伝達関数を使うかはそれほど明白ではありません。リファレンス・スプリアスのある周波数では開ループ伝達関数で閉ループ伝達関数を非常によく近似できるので、一貫性を保ち簡単にするために開ループ伝達関数を用いるのは理屈に合います。

リーク支配性スプリアス

低い比較周波数では、リークの影響がリファレンス・リークの原因として支配的です。PLL が同期状態に入るとき、チャージ・ポンプは電流のごく短いパルスを交互に長い周期で出力します。この長い周期の間は、トライステート状態です。

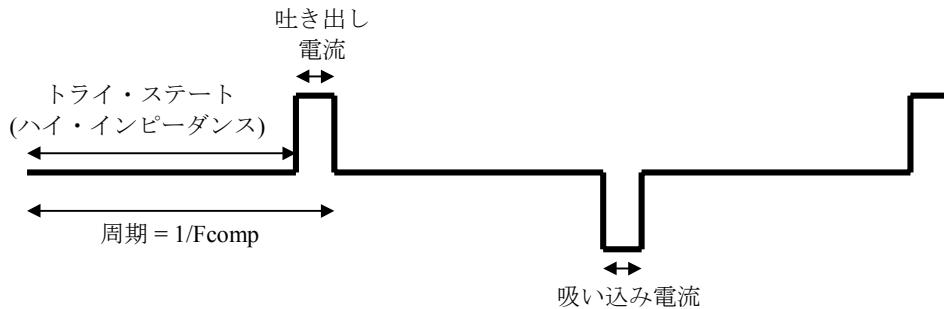


図3 PLL が同期状態にあるときのチャージ・ポンプ出力

チャージ・ポンプがトライ・ステート状態のときに、理想的にはチャージ・ポンプはハイ・インピーダンスになります。しかし、チャージ・ポンプ、VCO、ループ・フィルタ容量から寄生的なリークが発生します。これらのリーク源のうち、チャージ・ポンプが支配的になる傾向があります。チャージ・ポンプのリークは VCO 制御端子に FM 変調をかけ、結果的にスプリアスの原因になります。これについては付録で詳細に説明します。

リークに基づいてリファレンス・スプリアス・レベルを推定するには、これらのスプリアスは次の一般法則に従います。

$$\text{リーク・スプリアス} = \text{基本リーク・スプリアス} + 20 \cdot \log\left(\frac{\text{リーク}}{K\phi}\right) + \text{スプリアス・ゲイン} \quad (2)$$

PLL のチャージ・ポンプによるリークは温度依存性があり、一般定格や性能グラフと同様、保証定格が与えられている場合がよくあります。チャージ・ポンプのリークは温度とともに増加し、PLL が熱くなると、チャージ・ポンプのリークが原因となっているスプリアスは悪化する傾向にあります。

各比較周波数に対していろいろなリーク電流が誘導されており、実験室で結果を測定しました。ループ・フィルタはこれらのどの測定でも共通です。これらの結果はリーク支配性スプリアスの基本定数を示しています。

$$\text{基本リーク・スプリアス} = 7.9 \text{ dBc} \quad (3)$$

この定数は一般性があり部品に固有のものではなく、どの整数 PLL にも当てはまるはずですが、基本リーク・スプリアスを直接測定するのは不可能と断定はできませんが、この値は他の数値から推定するしかありません。

スプリアス・レベル (dBc)	基本リーク・スプリアスの計算値 (dBc)	20•Log (Leakage/K ϕ) (dB)	スプリアス・ゲイン (dB)	誘起電流 (nA)	K ϕ (mA)	スプリアス周波数 (kHz) 比較周波数 (kHz)
-30.0	7.7	-60.0	22.3	1000	1	200
-49.5	8.2	-80.0	22.3	100	1	200
-55.5	8.2	-86.0	22.3	50	1	200
-12.4	8.4	-60.0	39.2	1000	1	100
-33.1	7.7	-80.0	39.2	100	1	100
-39.7	7.1	-86.0	39.2	50	1	100

表1 スプリアス・レベルとリーク電流および比較周波数との関係

上記のデータは C1=0.47nF、C2=3.3nF、C3=90pF、R2=12k Ω 、R3=39k Ω 、Kvco=43MHz/V、リーク電流 100nA、icp=1mA のループ・フィルタの場合について得られたものです。スプリアス・レベルは、実際にはこのループ・フィルタでもそれらを使用して測定しなくても十分な精度で算出することができ、付録 B で計算を示します。基本リーク・スプリアスについてのこの結果は、使用する PLL には関係ありません。スプリアス・ゲインや基本リーク・スプリアスの概念を導入しなくてもリーク・スプリアスを計算することはできますが、これらの概念のおかげでリーク・スプリアスの計算がよりいっそう容易になり、PLL 同士のリーク・スプリアスを直ちに比較することができます。さらに、後述のパルス性スプリアスの場合、理論だけでこれらを計算する方法はありません。

パルス性スプリアス

従来の PLL に関する文献では、慣例的にリーク電流に完全に基づいてリファレンス・スプリアスをモデル化してきました。リーク電流が μ A オーダーの旧式の PLL では、リファレンス・スプリアスとその動作について適当な推定値が得られました。しかし、一般に現在の PLL はリーク電流が 1nA 以下ですので、比較周波数が非常に低い場合を除き、他の要因がスプリアスに対し支配的になる傾向があります。

チャージ・ポンプは非常に短い時間だけオンになり、ほとんどの時間はオフになっています。パルス性スプリアスを決めるのは、チャージ・ポンプのこのような補正動作の時間の長さです。つまり、リークが支配的要因でない場合、スプリアス・レベルを決めるのは、チャージ・ポンプがオンになる時間です。補正パルスの幅に影響を与える要因には次のようなものがあります。チャージ・ポンプのミスマッチ、トランジスタの不均等なターン・オン時間、不感帯除去回路、フラクショナル補正回路の誤差などです。次に、これらの要因がどのようにパルス幅に影響を与えるのか説明します。

チャージ・ポンプのミスマッチとは、チャージ・ポンプの吸込み電流と吐出し電流とが適切にバランスがとれていない場合を指します。ミスマッチがひどくなると、位相比較器の補正パルス幅が大きくなります。トランジスタの不均等なターン・オン時間とは、電流を吐出す PMOS デバイスが、電流を吸込む NMOS デバイスとバランスがとれていない場合のことです。PMOS デバイスは遅いので、実際にはミスマッチが 0% の場合でもスプリアス・レベルは最低にならず、ミスマッチが約 4% の場合にほぼ最低になります。不感帯除去回路は位相比較器の不感帯を PLL から取り除くように追加されます。位相誤差がゼロの近傍では、現実にはゲート遅延時間が問題になります。この問題を

避けるため、チャージ・ポンプが最低時間オンになるような回路を付け加えることがあります。したがって、この回路はスプリアス・レベルに影響を与えます。フラクショナル補正回路の誤差はフラクショナル・スプリアスを起こす原因になります。上述のすべての要因がチャージ・ポンプの補正パルス幅を増大させ、パルス性スプリアスに影響します。

パルス性スプリアスの問題でバラツキ幅を検討するためには、ミスマッチ特性に注意し、いくつ異なる部品に基づいて設計することが重要です。部品のミスマッチ特性は日付コードによって変わりますので、設計工程でミスマッチ特性を考慮しなければなりません。また、オペアンプをループ・フィルタで使用する設計では Vdo の全範囲を使い、オペアンプの動作点を $Vp/2$ あるいはそれより少し高い電圧に設定するのが最適です。VCO の制御電圧にのるスプリアス・レベルのバラツキのため、本章で特徴を述べたスプリアスは、VCO の制御電圧が 0.5V からチャージ・ポンプの電源電圧より 0.5V 低い電圧まで変化するとき、最悪になります。ここでどれくらいスプリアスがばらつくかを示しましたので、バラツキについても記すことはできますが、最終的にはスプリアスの最悪値を性能指標とするべきでしょう。

チャージ・ポンプのパルス動作が原因のリファレンス・スプリアスを推定するには、次の法則を使います。

$$\text{パルス・スプリアス} = \text{基本パルス・スプリアス} + \text{スプリアス・ゲイン} + 40 \cdot \log\left(\frac{F_{\text{spur}}}{1\text{Hz}}\right) \quad (4)$$

上式には F_{spur} の項が加えてあるのに驚かれるかもしれませんが、この項はもともと実験観測から発見されました。リーク支配性スプリアスの場合、周波数は時間に対しサイン波的に変動すると見られていました。しかし、実験室での観察結果から、パルスが支配的なスプリアスを取り扱う場合、この仮定が間違っていることがわかりました。観測されたのは、周波数スパイクがチャージ・ポンプがオンになる時刻に対応する規則的な時間周期で発生するということです。測定したスプリアスの大きさはこれら周波数スパイクに直接関係していることもあり、この比較は、比較周波数に関係なく有効です。したがって、変調指数の概念は当てはまらず、 $20 \cdot \log(F_{\text{spur}})$ 相当の誤差が入り込みます。しかし、パルス・スプリアスとリーク・スプリアスとは $20 \cdot \log(F_{\text{spur}})$ ではなく $40 \cdot \log(F_{\text{spur}})$ だけの差があります。追加ファクタ $20 \cdot \log(F_{\text{spur}})$ があるのは、チャージ・ポンプ・ノイズをサイン波ではなく一連のパルス関数でモデル化の方が適当だからです。システムに加えられたパルス関数の時間ドメイン応答を思い起こすと、これは単に逆ラプラス変換になります。1/s の逆ラプラス変換が 1 になり、 $1/\omega$ のファクタを含まないのと同様に、同じ理由で $1/\omega$ のファクタがなくなり、追加ファクタ $40 \cdot \log(F_{\text{comp}})$ を計算に入れます。LMX235x の場合、1/16 次のフラクショナル・スプリアスがあり出力周波数にさらに依存します。これはフラクショナル・スプリアス補償のためです。

出力周波数 MHz	N	比較周波数 kHz	K Ω mA	Kvco MHz/V	C1 nF	C2 nF	C3 pF	R2 K Ω	R3 K Ω	Spur dBc	スプリアス・ゲイン dB	基本パルススプリアス dBc
以下のデータはすべて PLL LMX2330 の場合。VCO は上位機種を使用。												
1895	18950	100	4	43.2	2.2	10	0	6.8	0	-51.7	46	-297.7
1895	18950	100	4	43.2	13.9	66	0	2.7	0	-69.7	30	-299.7
1895	18950	100	4	43.2	0.56	2.7	0	15	0	-41.0	58	-299.0
1895	18950	100	4	43.2	1.5	6.8	0	5.6	0	-50.0	49.2	-299.2
1895	18950	100	4	43.2	1.5	6.8	100	5.6	39	-59.8	40.5	-300.3
1895	6064	312.5	4	43.2	4.7	20	0	1.8	0	-60.2	19.6	-299.6
1895	6064	3125	4	43.2	1.8	5.6	0	1.5	0	-51.1	27.7	-298.6
以下のデータは PLL LMX2326、VCO 制御電圧 0.29V、電源電圧 3V の場合。												
231	1155	200	1	12	0.47	3.3	0	12	0	-74.1	23.0	-309.1
881.6	4408	200	1	18	0.47	3.3	0	12	0	-70.1	27.6	-309.7
881.6	1146	770	1	18	0.47	3.3	0	12	0	-70.1	4.9	-308.8
1885	9425	200	1	50	0.47	3.3	0	12	0	-59.7	35.6	-308.6
1885	4343	434	1	12	0.47	3.3	0	12	0	-58.7	22.2	-307.7

表 2 基本パルス性スプリアスの法則依存性の実例

表 2 の最初の数行は同じ出力周波数で異なるフィルタの場合を示します。最後の数行は、同じフィルタで N 値と比較周波数を変えています。この最後の数行を見ると、チャージ・ポンプの電圧を 0.29V に保って、チャージ・ポンプのミスマッチ特性を一定にしてスプリアスを測定しやすくしています。このため、表はスプリアス・レベルの変化を示すのに有用です。ただし、制御電圧が入力範囲から 0.5V 以内で、保証範囲外なので、基本パルス性スプリアスの最悪値を判断する上でのよい指標にはなりません。

PLL	バラツキ (dBc)	基本パルス・スプリアス (dBc)
LMX2301/05, LMX2315/20/25	11	-299
LMX233xA, LMX233XL	23	-311
LMX2306/16/26	7	-309
LMX160x	5.0	-292
LMX235x	18	-257 - 40Xlog (Fout/1 GHz)

表 3 ナショナルセミコンダクター社製各種 PLL の基本パルス・スプリアス

上述の表や測定値があっても、熱心なユーザはパルス性スプリアスをチャージ・ポンプのミスマッチと関連付けようとされるでしょう。このために、PLL LMX2315 を使って、チャージ・ポンプのミスマッチに応じたスプリアス・レベルを測定しました。システムのスプリアス・ゲインが 19.6、システムの比較周波数が 200kHz のときスプリアスは明らかにパルス支配性でした。

制御電圧 (Volts)	1	1.5	2.2	3	4	4.5
吐出し電流 (mA)	5.099	5.169	5.241	5.308	5.397	5.455
吸込み電流 (mA)	5.308	5.253	5.166	5.047	4.828	4.517
ミスマッチ率 (%)	- 4.0	- 1.6	1.4	5.0	11.1	18.8
200 KHz でのスプリアス (dBc)	- 73.1	- 76.6	- 83.3	- 83.2	- 72.8	- 65.7

表 4 制御電圧に応じたスプリアス・レベルとミスマッチの変化例

統計的モデルを用いると、この表はスプリアス性能が最もよいのは実際はチャージ・ポンプのミスマッチが 3.2%の時です。また関係式を示すと、

$$\text{基本パルス・スプリアス} = -315.6 + 1.28 \cdot |\text{ミスマッチ率} (\%) - 3.2\%| \quad (5)$$

リーク性スプリアスとパルス性スプリアスのコンセプト統合

比較周波数の臨界値

スプリアスをパルス性スプリアスでモデル化するのが適当な場合がほとんどですが、比較周波数が低い場合当てはまらないことがあります。スプリアスがリーク性かパルス性かを判別する 1 つの方法は、両方のモデルに基づいてスプリアスを計算し、スプリアス・レベルが最大になる方のモデルを使うことです。ほとんどの場合、パルス性スプリアスが支配的です。リークとパルス性スプリアスが既知の場合、パルス支配性とリーク支配性とが等しくなる比較周波数を推定できます。比較周波数がこれより高い場合、スプリアスはパルス支配性になります。この関係式はスプリアス・ゲインとは独立で、リーク・スプリアスをパルス・スプリアスと等しいとおき、比較周波数について解くと得られます。このような関係についての方程式と表とを以下に示します。

$$40 \cdot \log \left(\frac{F_{comp}}{1\text{Hz}} \right) = (\text{基本リーク・スプリアス} - \text{基本パルス・スプリアス}) + 20 \cdot \log \frac{(\text{リーク})}{K\phi} \quad (6)$$

この式を満たす周波数を臨界周波数と呼びます。臨界周波数では、リファレンス・スプリアスに対し、リークとパルスとが等しい支配性を持ちます。臨界周波数を越えると、スプリアスはパルス支配性になり、臨界周波数より下がると、リーク支配性になります。この表は次の値を仮定しています。

$$\text{基本リーク・スプリアス} = 7.9 \text{ dBc}$$

$$K\phi = 1 \text{ mA}$$

臨界周波数はリーク電流のリーク電流の平方根に比例し、チャージ・ポンプ・ゲインに反比例します。

	基本リーク・スプリアス			
	-290	-300	-310	-320
リーク電流 = 0.1 nA	8.86	15.8	28.0	49.8
リーク電流 = 0.5 nA	19.8	35.2	62.7	111.4
リーク電流 = 1.0 nA	28	49.8	88.6	157.6
リーク電流 = 0.1 uA	280	498	886	1576
リーク電流 = 1.0 uA	886	1580	2800	4980

表 5 臨界比較周波数 (kHz)

合成スプリアスの計算

本章ではリーク効果およびパルス効果に基づいて独立にスプリアス・レベルを求めます。しかし、支配的要因がどちらかにかかわらず、スプリアス・レベルは次のように与えられます。

$$\text{スプリアス} = 10 \bullet \log \left(10^{\frac{\text{Leakage Spur}}{10}} + 10^{\frac{\text{Pulse Spur}}{10}} \right)$$

スプリアス・レベル対最適化前のループ・フィルタ・パラメータ

スプリアス・ゲインの式を使うと、スプリアス・レベルが各パラメータに対しどのような依存性があるか簡単に計算でき、次のように示されます。

パラメータとの関係	リーク支配性スプリアス	パルス支配性スプリアス
チャージ・ポンプのリーク電流、 i_{leak}	$20 \times \log(i_{\text{leak}})$	—
ミスマッチ率、M	—	$ M - \delta $ の絶対値と相関
N 値、N	無関係	無関係
VCO Gain、KVCO	$20 \times \log(Kvco)$	$20 \times \log(Kvco)$
比較周波数	$-40 \times \log(F_{\text{comp}})$	$-20 \times \log(F_{\text{comp}})$
$i = F_{\text{comp}}/F_c$	$-40 \times \log(i)$	$-40 \times \log(i) + 20 \times \log(F_{\text{comp}})$
チャージ・ポンプ・ゲイン、 $K\phi$	無関係	$20 \times \log(K\phi)$
スプリアス・ゲイン、SG	SG	SG

表 6 スプリアス・レベルと各パラメータとのおおまかな関連性 (パラメータを変えてもループ・フィルタを再設計しないと仮定した場合)

リファレンス・スプリアスの高調波

ここまでのところ、本章ではリファレンス・スプリアスに焦点を当ててきました。しかし、リファレンス・スプリアスには、2 次、3 次さらに高次の高調波があります。この問題を調べるため、自動テスト・プログラムを用いて LMX2326 PLL を 1900MHz から 1994MHz まで 1MHz ずつ増加させ周波数を同調させました。これらのテストでは、 $K\phi = 1\text{mA}$ 、 $F_{\text{comp}} = 200 \text{ kHz}$ 、 $KVCO = 45 \text{ MHz/V}$ とし、フィルタ A は回路定数 $C1 = 145 \text{ pF}$ 、 $C2 = 680 \text{ pF}$ 、 $R2 = 33 \text{ k}\Omega$ 、またフィルタ B は回路定数 $C1 = 315 \text{ pF}$ 、 $C2 = 1.8 \text{ nF}$ 、 $R2 = 18 \text{ k}\Omega$ としました。スプリアス・レベルの統計データを表 7a に示します。

	基本波 (200 kHz)	2 次高調波 (400 kHz)	3 次高調波 (600 kHz)
最小値 (dBc)	-56.2	-65.1	-64.5
平均値 (dBc)	-52.8	-58.5	-61.9
最大値 (dBc)	-49.3	-54.4	-59.0
スプリアス・ゲイン (dB)	45.7	33.8	26.8
基本パルス・スプリアス (dBc)	-307.0	-312.4	-316.9

図 7a フィルタ A の場合のリファレンス・スプリアスおよびその高調波

	基本波 (200 kHz)	2次高調波 (400 kHz)	3次高調波 (600 kHz)
最小値 (dBc)	-64.8	-70.4	-69.1
平均値 (dBc)	-60.8	-65.1	-66.8
最大値 (dBc)	-56.2	-61.1	-64.7
スプリアス・ゲイン (dB)	39.0	27.1	20.0
基本パルス・スプリアス (dBc)	-307.2	-312.2	-315.8

図 7b フィルタ B の場合のリファレンス・スプリアスおよびその高調波

表 7a を表 7b と比較すると、フィルタが異なってもパルス・スプリアスは比較的一定ですが、2次高調波の基本パルス・スプリアスは基本波と異なります。これらの経験的測定値から 2次高調波の基本パルス・スプリアスは基本波の基本パルス・スプリアスより約 5dB 低く、3次高調波の基本パルス・スプリアスは2次高調波の基本パルス・スプリアスより約 4dB 低いと期待されます。

結論

本章ではリファレンス・スプリアスの原因について検討し、その一般的な動作をシミュレーションする方法を論じました。スプリアス・ゲインの概念はリファレンス・スプリアスと同様にリファレンス・スプリアスの高調波および低調波にも当てはまります。しかし、リファレンス・スプリアスでもフラクショナル・スプリアスでも、一般に最も問題になるのは基本波スプリアスですので、本章では基本波スプリアスに基づいてすべての測定を行っています。スプリアス・ゲインの概念を用いると、ループ・フィルタが変わるとスプリアス・レベルがどう変化するか推定するのは容易です。スプリアス・ゲインは、ループ・フィルタを設計する際にたいへん有用なツールになります。この点については、本書でのちほど議論します。

付録 A： スプリアス信号のスペクトラム

はじめに

ここでは、VCO に与えられる任意の時間信号のスプリアスとそのスペクトラム密度を調べます。サイン波信号を想定しますので、リーク支配性スプリアスを解析する場合に意味があります。

スプリアス・スペクトラムの算出

AC成分を持った信号が、VCOの制御端子にあるとき、スプリアスの原因になります。VCOへの制御電圧は次の式で表されるものとします。

$$V_{\text{tune}} = c + f_{ac}$$

ここで、

V_{tune} = VCOへの制御電圧

c = VCOへの制御電圧 DC成分

f_{ac} = VCOへの制御電圧 AC成分

VCOの出力電圧は次のようになります。

$$\begin{aligned} V_{\text{out}}(t) &= A \cdot \cos \left([c_1 + KVCO \cdot c_0] \cdot t + \int_0^t KVCO \cdot f_{ac}(x) \cdot dx \right) \\ &= A \cdot \cos \left(c_2 \cdot t + \int_0^t KVCO \cdot f_{ac}(x) \cdot dx \right) \end{aligned}$$

ここで、

A, c_0, c_1 および c_2 = 定数

$KVCO$ = VCOゲイン

VCOの出力スペクトラム密度は、出力電圧のフーリエ交換により得られます。

$$P_{\text{out}}(\omega) = \int_{-\infty}^{\infty} e^{j\omega t} \cdot A \cdot \cos \left(c_2 \cdot t + \int_0^t KVCO \cdot f_{ac}(x) \cdot dx \right) \cdot dt$$

FM変調の特殊な場合を考慮すると、VCOの電圧に対して最適な近似値がわかります。すなわち、

$$f_{ac}(t) = a_m \cdot \cos(\omega_m \cdot t)$$

$$\beta = \frac{F_{dev}}{\omega_m} = \text{modulation index}$$

$$P_{\text{out}}(\omega) = A \cdot \sum_{n=-\infty}^{\infty} J_n(\beta) \cdot \cos(\omega_c \cdot t + n \cdot \omega_m \cdot t)$$

したがって、いくつかのファースト・サイドバンド・レベルは、

fundamental: $J_0(\beta) \approx 1$
first: $J_1(\beta) \approx \frac{\beta}{2}$
second: $J_2(\beta) \approx \frac{\beta^2}{8}$

以下の表に様々な比較周波数に対する、ファースト・サイドバンド・レベルと周波数偏差の相関関係を示します。

スプリアス・レベル (dBm)	変調指数 (β)	様々な比較周波数に対する周波数偏差 (Hz)					
		Fref 10 kHz	Fref 30 kHz	Fref 50 kHz	Fref 100 kHz	Fref 200 kHz	Fref 1000 kHz
-30	6.32e-2	632	1900	3160	6320	12600	63200
-40	2.00e-2	200	600	1000	2000	4000	20000
-50	6.32e-3	63	190	316	632	1260	6320
-55	3.56e-3	36	107	178	356	712	3560
-60	2.00e-3	20	60	100	200	400	2000
-65	1.12e-3	11	34	56	112	224	1120
-70	6.32e-4	6	19	32	63	126	632
-75	3.56e-4	4	11	18	36	71	356
-80	2.00e-4	2	6	10	20	40	200
-85	1.12e-4	1	3	6	11	22	112
-90	6.32e-5	0.6	2	3	6	13	63

表7 スプリアスレベル、変調指数、比較周波数の関係
 スプリアス・レベルと変調指数は次式の関係があります。
 スプリアス・レベル = 20 x log ($\beta/2$)

付録 B: リーク依存性スプリアスの理論計算

2次フィルタの場合のリーク・スプリアスの理論計算

簡単にするため、 $R3=C3=0$ と仮定しますが、一般性を失うことはありません。この背景にある考え方は、いったんあるループ・フィルタについてリーク依存性スプリアスを計算すれば、ループ・フィルタのスプリアス・ゲインを比較するだけで別のフィルタについて容易に再計算できるということです。2次フィルタの電流・電圧を計算し、制御電圧を V 、チャージ・ポンプへのリーク電流を I とすると、次式が得られます。

$$\frac{d^2V}{dt^2} \cdot R2 \cdot C2 \cdot C1 + \frac{dV}{dt} \cdot (C1 + C2) = i$$

しかし実際には、興味がある量は、この電圧を時間について微分した導関数です。

$$\frac{dX}{dt} \cdot R2 \cdot C2 \cdot C1 + X \cdot (C1 + C2) = i$$

$$X = \frac{dV}{dt}$$

電圧が $t=0$ の時間で変化しないという条件をつけると、

$$\frac{dV}{dt} = \frac{i}{C1 + C2} \cdot \left[1 - \exp(-t/T1) \right]$$

$$T1 = \frac{R2 \cdot C2 \cdot C1}{C1 + C2}$$

上式を積分すると、電圧の変化量についての式が得られます。

$$\Delta V = \int_0^{1/F_{comp}} \frac{i}{C1 + C2} \cdot \left[1 - \exp(-t/T1) \right] \cdot dt = \frac{i}{C1 + C2} \cdot \left[\frac{1}{F_{comp}} + T1 \cdot \exp\left(\frac{-1}{T1 \cdot F_{comp}}\right) \right]$$

最後に変調指数が計算できて、

$$\beta = \frac{K_{vco} \cdot \Delta V}{F_{comp}}$$

$$\text{リーク・スプリアス} = 20 \cdot \log\left(\frac{\beta}{2}\right)$$

表1のリーク・スプリアス・レベルの理論計算

基本リーク・スプリアスが約 8.7dB/Hzであることを示すには、1つ例を上げれば十分でしょう。

指定値	得られた値
$C1 = 470 \text{ pF}$	スプリアス・ゲイン = 47.4 dB
$C2 = 3.3 \text{ nF}$	$\Delta V = 2.825 \text{ mV}$
$R2 = 12 \text{ k}\Omega$	$\beta = \text{変調指数} = 0.127$
リーク電流 = 100 nA	リーク・スプリアス = $20 \cdot \log(\beta) = -23.9 \text{ dBc}$
$K\phi = 1 \text{ mA}$	$20 \cdot (\text{リーク電流}/K\phi) = -80$
$K_{vco} = 43 \text{ MHz/V}$	基本リーク・スプリアス = $-23.9 \text{ dBc} - (-80 \text{ dB}) - 47.4 \text{ dB}$ = 8.7 dBc/Hz
$F_{comp} = 100 \text{ kHz}$	

図8 基本リーク・スプリアス=8.7 dBc/Hzの計算

2. リファレンス・スプリアス以外のスプリアスの原因

はじめに

搬送波から離れた基準周波数で発生するリファレンス・スプリアスに関しては、多くの議論があります。本書では、その他の種類のスプリアスとその原因について調べます。というのは、スプリアスが見られる場合、その原因と改善方法を調べることができるからです。多くの種類のスプリアスが考えられますが、ほとんどの場合これらのスプリアスは観測されません。これらのスプリアスはトラブルシューティングで使用するために記したものです。これらのスプリアスの多くはデュアル PLL で発生するため、デュアル PLL でスプリアスが観測される側を通常主 PLL と呼び、デュアル PLL でスプリアスが観測されない側を副 PLL と呼びます。

良好な電源デカップリングと洗練されたレイアウトのためのヒント

基板に関係したクロストークを扱うには、いくつか取り得る方法があります。ウェブ・サイト <http://www.national.com/appinfo/wireless> を参照して、評価基板の説明書をダウンロードし、標準的な基板レイアウトをご覧ください。これに加えて、以下のようなヒントを付け加えておきます。

良好な電源デカップリング これは VCC および Vpp の両端子に取りつけられたコンデンサを意味します。Vpp 端子は最もノイズ信号に弱いところです。広帯域の周波数のノイズに対処するため、これらの各端子に 100pF、0.01uF、0.1uF のコンデンサを配置します。これらのコンデンサは単に並列に加えられた 0.111uF の 1 つのコンデンサになるように見えるかも知れませんが、実際はすべてのコンデンサが必要です。大容量のコンデンサは高周波信号に対する応答特性に問題があるためです。また、これらの部品を PLL チップの出来るだけ近くに配置すると効果的です。電源供給端子を分離するため、電源供給ピンに 18Ω 程度の小さい抵抗を挿入するのも効果的な場合がしばしばあります。

洗練されたレイアウト Vpp 端子と VCO の制御電圧端子をノイズ信号から確実に保護します。これは、配線を短くし、PLL チップにできるだけ近く配線することで可能になります。2 つの高周波の配線を一緒に配置しなければならない場合、クロストークの影響を最小限にするため、平行にならないよう（すなわち直交するよう）にします。また、接地ループが最小になるようにします。接地ループは 2 つの配線を接地させる小さなインピーダンス（ビアホールで生じるインダクタンスなど）がある場合発生します。接地ループがある場合、ノイズは 1 つの配線からもう一方の配線へ伝搬します。

上手なループ・フィルタ設計のヒント

最適な減衰率の使用と 4 次のループ・フィルタについては、それぞれ本書の他の章で説明しています。これらの方法の他に、ノッチ・フィルタも利用できます。ノッチ・フィルタは多くの場合、不要なスプリアスを除去するのに効果的ですが、より高次の高調波スプリアスを除去するにはあまり効果的ではありません。

クロストーク性スプリアスと非クロストーク性スプリアス

この議論のために、スプリアスを 2 つに分類します。クロストーク性スプリアスは、何らかの理由により VCO 出力に漏れてくる信号に起因するスプリアスのことです。非クロストーク性スプリアスは、PLL に固有の動作に起因するスプリアスです。原因不明のスプリアスを扱う際、最初に調べる点の 1 つは、おそらくクロストークに関係あるかどうか見極めることです。これは、他の信号源

を外してスプリアスが消えるかどうか見てみることでわかります。クロストーク性スプリアスに共通のノイズ・ソースは、デュアル PLL の片側、コンピュータ・ディスプレイ、基板上の他の周波数源、水晶発振器とその高調波です。

クロストーク性スプリアス

クロストーク性スプリアスは PLL の外部信号に起因します。一般に、2 つの信号のクロストークは、信号同士が互いに近接している場合最もひどくなります。このため、これらのスプリアス信号源の高調波は基本波よりも問題になる場合があります。このようなスプリアスは次のように分類されます。

副 PLL クロストーク・スプリアス

定義

このスプリアスはデュアル PLL で発生し、主および副 PLL の周波数差（ときには副 PLL の高次高調波）だけ搬送波から離れた周波数に現れます。このスプリアスはデュアル PLL の主 PLL と副 PLL の周波数が近い場合、最も現れやすくなります。また、デュアル PLL の一方の周波数がもう一方の高次高調波に近い場合にも現れます。

原因

高周波信号は、基板上の寄生容量を経由して、配線から別の配線へ伝搬して行きます。この現象は、周波数が高くなるほど、または配線が長くなるほど起こりやすくなります。また、半導体チップ内でもクロストークが起こる場合があります。Vpp1 端子と Vpp2 端子は高周波ノイズの影響を受けやすいところです。

判定方法

このようなスプリアスが出ているかどうか判定する最良の方法の 1 つは、主 PLL 側を観測しながら、副 PLL 側の周波数を変えてみることです。スプリアスが移動性のものであれば、観測されているスプリアスはこのタイプのものであるといえます。いったんこのタイプのスプリアスと判定したら、基板上のクロストークによるものか、PLL チップ内のクロストークによるものか判断する必要があります。ナショナルセミコンダクター社の PLL のほとんどは、主 PLL 側を動作させたままで副 PLL 側の電源を切る電源遮断機能がついています。副 PLL 側の電源が遮断され、スプリアスが大きく低減する場合、PLL チップ内のクロストークであることを示しています。スプリアスが同じ大きさのままの場合は、基板内のクロストークです。

対策

基板性クロストークの対処法の節を参照ください。

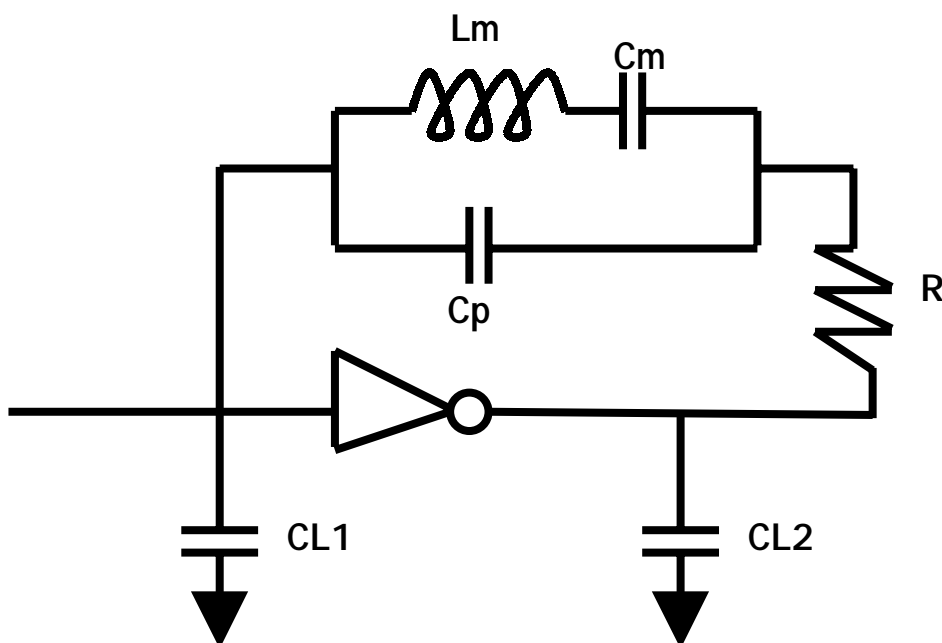
基準水晶発振器のクロストーク・スプリアス

定義

このスプリアスは、搬送波から水晶発振周波数だけ離れた周波数に現れます。基準水晶発振周波数の高調波に、しばしば一群のスプリアスが現れることがあります。この場合、奇数次の高調波が偶数次の高調波より強いことがよくあります。

原因

このスプリアスの原因の 1 つに基板上のクロストークが考えられます。そのような場合は、基板性クロストークの対処法のヒントについての節を参照ください。これに加えて、水晶発振器インバータの過剰ゲインに関係がある場合もあります。矩形波は奇数次の高調波しか含まない点に注意ください。そのため奇数次の高調波が強く現れます。水晶発振回路の反転バッファに過剰ゲインがあると、これらの高次高調波が出る原因になります。次の図は水晶発振器の一般的な回路です。



判定方法

信号発生器で PLL チップを駆動してみて、これらのスプリアスが低減するようなら、発振している反転バッファに過剰ゲインがあるかも知れないということを示唆しています。ナショナルセミコンダクター社の PLL チップには、反転バッファを含んでいるものもあれば、含んでいないものもあります。PLL チップの電源レベルを下げるとバッファのゲインが下がり、理論上はこのタイプのスプリアスのレベルを低減するはずですが。

対策

良好な電源デカップリングや洗練されたレイアウトについてのヒントの他に、上記のスプリアスの低減のため試みてもよいことがいくつかあります。ただし、これらがうまく行く保証はありません。

1. 反転バッファのゲイン低減

この方法は、最初は何かばかげたことのように聞こえるかもしれませんが、反転バッファを電源電圧を下げて動作させると反転バッファのゲインが下がります。また、ナショナルセミコンダクター社の LMX160x シリーズなどの PLL チップは 1 段のインバータしかありません。それに対しその他の PLL チップはインバータが 3 段あります。

2. 外部インバータの利用

水晶発振器に用いるインバータを分離したり、マイクロプロセッサなどの他の部品からインバータを構成したりすると、改善できることがあります。

3. 抵抗 R の増加

上図で、抵抗 R の値を増やすと多少インバータの過剰ゲインを削ることができます。 R を大きくし過ぎると回路は簡単に発振しなくなります。多くのインバータ回路では $R=0$ です。

4. 異なる値の負荷容量

通常負荷容量 $CL1$ と $CL2$ とは同じ値を選びますが、この場合 $CL2 > CL1$ とするとスプリアス・レベルが改善される場合があります。これは、インバータ出力が矩形波であるためで、矩形波のエッジを丸くするようなことならいずれも同様の働きをします。

5. レイアウトとフィルタリング

「レイアウトのヒント」の項を参照ください。また、基板上のノイズの載った信号にフィルタをかけるのも検討ください。

外部クロストーク・スプリアス

定義

このスプリアスは副 PLL 出力に現れますが、副 PLL とは無関係です。主 PLL が別の周波数に変更されると、しばしばこのスプリアスも周波数が変動します。

原因

このタイプのスプリアスは PLL 外部の周波数ソースに起因します。コンピュータ・ディスプレイの 31.25kHz のリフレッシュ周波数や基板上のどこかの高周波出力などが考えられます。このスプリアスは、ノイズに対しアンテナの働きをする基板上の寄生容量や長距離配線が原因です。

判定方法

このスプリアスを判定する際、まず最初に副 PLL 側が原因ではないことを確認します。副 PLL や VCO の電源を落としてみて、スプリアスが消えれば副 PLL 側での何らかのクロストークが原因である可能性が高いと思われます。スプリアスが残っていれば他の高周波信号が原因です。この場合、外部クロストーク・スプリアスかどうか判定する最もよい方法は周波数ソースを外し、スプリアスが消えるかどうか確認することです。

対策

このスプリアスを取り除くには、PLL を信号源から外すか分離することです。例によって、これらのスプリアスはレイアウトに依存しますので、「洗練されたレイアウト」の項を参照ください。RF シールドの使用も考慮してよいでしょう。

非クロストーク性スプリアス

これらのスプリアスは基板上のクロストークとは違う原因で発生します。いくつか共通した例を次に議論します。

フラクショナル N スプリアス

定義

これらのスプリアスはフラクショナル N PLL でのみ起こり、分数係数 M 倍の周波数で発生します。1/M と (M-1) /M 番目のフラクショナル・スプリアスは最も影響が大きく現れる傾向があります。これらは使われている分数の分母に依存します。たとえば、フラクショナル N PLL で N=915.2、比較周波数 1MHz とすると、キャリアから 200kHz (1/5 番目のフラクショナル・スプリアス)、400kHz (2/5 番目のフラクショナル・スプリアス)、600kHz (3/5 番目のフラクショナル・スプリアス)、800kHz (4/5 番目のフラクショナル・スプリアス)、1MHz (主なフラクショナル・スプリアス) 離れた点にスプリアスが現れる可能性があります。

原因

どのフラクショナル N PLL でも、フラクショナル N の平均化を用いています。フラクショナル N 平均化は 2 つの異なる値で N カウンタ値を切り替える必要があります。このため、フラクショナル N 平均化による瞬間的な位相誤差からフラクショナル・スプリアスが発生します。したがって、PLL チップには、この瞬間位相誤差を処理する補正回路が搭載されます。この回路は完全ではないので、通常どんなフラクショナル PLL でもフラクショナル N スプリアスが発生します。

判定方法

これらのスプリアスは、比較周波数の分数係数倍の周波数だけキャリアから離れた周波数で発生し、分数係数に非常に依存していますので、一般に見分けるのは簡単です。

対策

フラクショナル N PLL には各構成要素に固有のスプリアスの原因が数多くあります。フィリップス社製のフラクショナル N PLL 7025/8025 では、これらのスプリアスは補償回路が不完全なため発生します。フラクショナル・スプリアスは電源電圧、出力周波数、その他多くの点に依存する可能性があります。ある特定の条件下で特定の部品を決めると、それについて対処できる点はループ・フィルタについてだけです。しかし、これらのスプリアスは、電源電圧などの疑ってもいないようなことによって発生していることがあります。電源電圧を調整する余地があれば、1 つの自由度になります。これらフラクショナル・スプリアスに対処するもう 1 つの方法として、別のフラクショナル N PLL 用の部品を使うやり方があります。フラクショナル・スプリアスは、フラクショナル N PLL 用のファミリごとに固有であるためです。

最大公約数スプリアス

定義

このスプリアスは、デュアル PLL 内で 2 つの比較周波数の最大公約数の周波数で発生します。たとえば、片側が比較周波数 25kHz で動作し、もう片側が 30kHz で動作していると、このスプリアスは 5kHz 点に現れます。最大公約数スプリアスは特定の出力周波数よりレベルが大きい場合もあります。

原因

このスプリアスが発生するのは、2 つの比較周波数の最大公約数が、主副 PLL 両方のチャージポンプが同時刻に動作する点に対応しているからです。2 つの比較周波数の周期を考えるとこのような

結果が得られます。2つのチャージポンプが同時に動作すると、特に Vpp 端子でノイズが発生し、スプリアスを生む原因となります。

判定方法

このタイプのスプリアスの特徴は、出力周波数に関係なく、スプリアスとキャリアが同じ周波数だけ離れていることです。しかし、出力周波数を同じに保ちながら比較周波数を変えると、このスプリアスは周波数が変動します。最小公倍数スプリアスかどうか調べるため、比較周波数を変えると、2つの比較周波数の最大公約数も変えていることに注意ください。

対策

このスプリアスは、Vcc 端子と Vpp 端子にコンデンサを追加すると、効果的に対処できます。レイアウトをうまく行い、これらのこれらのピンまわりのデカップリングを確実に行ってください。また、副 PLL の比較周波数の変更も考慮してください。

ゴースト・リファレンス・スプリアス

定義

ゴースト・リファレンス・スプリアスは、周波数を変更した直後にリファレンス・スプリアスが大きく増加するのが特徴です。周波数を変えたあと、リファレンス・スプリアスが落ち着くのに極端に長い時間がかかります。比較周波数を下げると、より傾向が顕著になります。

原因

このスプリアスのうちあるものは、スペクトラム・アナライザのビデオ・アベレージング機能を使ったときのような、誤りやすい測定方法で説明が見つかる場合があります。また、ループ・フィルタのコンデンサにリーク電流があると起こる場合もあります。ある種の分極を発生するコンデンサに関係しているとする説もあります。これらのスプリアスが、比較周波数が下がるにつれてより顕著になるのは、比較周波数が低くなるほどリファレンス・スプリアスに対するリーク電流の効果が強くなるからです。

判定方法

この現象はスペクトラム・アナライザ上で観測できます。スペクトラム・アナライザのアベレージング効果の一種でないかどうか注意してください。スペクトラム・アナライザの出力は電力対周波数ですが、実際はやはり時間的な測定を意味します。これが PLL からのもので測定器からのものではないことを確認するには、他のスプリアスを測定して測定器をテストするのも有効です。

対策

リーク電流の少ないコンデンサを用いるとたいへん効果的です。一般的なコンデンサのタイプをリーク電流が小さくなる順に挙げますと、タンタル・コンデンサ、X7R セラミック・コンデンサ、NPO セラミック・コンデンサ、ポリプロピレン・コンデンサとなります。また、フラクショナル N スプリアスはリーク電流の影響を受けにくいので、フラクショナル N PLL を用いるのも効果がある可能性があります。

プリスケアラ・ミスカウント・スプリアス

定義

このスプリアスは、一般に比較周波数の半分の周波数で発生します。しかし、比較周波数の 1/3 倍、2/3 倍などの分数倍周波数でも起こる場合があります。奇数倍でのみ発生するといった不可解な特性を示す場合もあります。

原因

このスプリアスはプリスケアラのミスカウントから起こります。プリスケアラがミスカウントする原因には、高周波入力に対する不整合、PLL チップの入力感度条件の不満足、VCO の高調波等があります。PLL チップの入力感度条件が満たされているように見えても、インピーダンス不整合があると、やはり入力感度が問題になる点には十分注意ください。PLL チップには入力感度の上限もあります。

プリスケアラのミスカウントがスプリアスとどのような関係があるか理解するには、フラクショナル N PLL を考えて見るとよいでしょう。プリスケアラが、ある時は計数し、ある時は計数しなかったりすると、フラクショナル・スプリアスと類似したスプリアスを発生します。

判定方法

ミスカウンティングは、何らかの点で PLL の入力感度に関連していますので、PLL の入力電圧レベルを変えてみてください。入力感度は非常に電圧依存性があり、これらのスプリアスが PLL の電源電圧に対して依存性があるということは、プリスケアラのミスカウンティングがスプリアスの原因であることを示しています。温度を変えてみることも可能です。N カウンタ値を変えると、N カウンタのミスカウントに起因するこのタイプのスプリアスに大きな影響があることもあります。

また、理論上は R カウンタにも同様に入力感度の問題が起こる場合がある点にも注意ください。R カウンタのミスカウントかどうかを確認する 1 つの方法は、カウンタ値 R をわずかに変化させることです。スプリアスがこれの影響を受けるのであれば R カウンタが問題である可能性があります。信号発生器を基準入力に接続し、スプリアスがなぜか消える場合は、R カウンタのミスカウントがスプリアスの原因かもしれないことを示しています。

対策

この問題に対策を講ずるには、プリスケアラのミスカウントを引き起こすあらゆる原因に対し対処する必要があります。まず最初に、電源レベルが PLL チップの仕様内に収まっているか確認します。そのあと、PLL の入力インピーダンスを見てください。ナショナルセミコンダクター社の PLL では、入力インピーダンスは容量性になる傾向があります。一般に、動作周波数で PLL の入力インピーダンスの虚部と一致するインダクタンスを挿入すると、インピーダンス不整合の問題は解決します。VCO の高調波に対する感度と不整合についても注意ください。それらもミスカウントの原因になり得るからです。PLL が VCO の高調波をミスカウントする確率を減らすため、VCO の高調波を -20dBm 以下に抑えるようにしてください。

リファレンス・スプリアスとその高調波

定義

これらのスプリアスは、基準（比較）周波数またはその高調波だけキャリアから離れた周波数で発生します。

原因

これらは主にチャージ・ポンプの出力電流不均衡とリーク電流によって起こります。比較周波数が低いと、チャージ・ポンプのリーク電流が、これらの支配的な要因になる場合が多くなります。リークのある VCO とコンデンサともこれらスプリアスの原因になる点に注意ください。これらの不均衡とリーク電流により VCO 制御電圧に AC 成分が載り、VCO 出力で FM 変調として観測されます。FM 変調はスプリアス・サイドバンドを発生させます。このタイプのスプリアスは本書の他の章で詳細に論じます。

判定方法

これらのスプリアスは非常に一般的で、キャリアから離れた比較周波数で現れます。チャージ・ポンプの電流不均衡は制御電圧に対し変動することがあるのに注意ください。

対策

これらのスプリアスは、ループ・フィルタをうまく設計することで大変よく対処できます。

VCO 高調波スプリアス

定義

このスプリアスは出力周波数の通倍周波数で発生します。あらゆる VCO が多少の高調波を発生します。PLL が高周波入力に対し整合がまったく取れていない場合、このスプリアスは問題を引き起こします。高次高調波が基本波よりマッチングが取れていて入力感度特性がよい場合もあります。この場合、ノイズ特性が不可解なものになることがあります。一般に、可能なら 2 次高調波を 20dB 低く抑えるのはよいことですが、（VCO 高調波スプリアスは）PLL のインピーダンス整合および入力感度に非常に依存します。

原因

VCO が発生する高調波は VCO に固有で、このスプリアスの原因となる傾向があります。

判定方法

これらのスプリアスは VCO 発振周波数とその倍数周波数に現れます。VCO の発振周波数を変えて VCO 出力の倍数周波数になおスプリアスが現れるかどうか調べます。

対策

VCO の高調波が問題源の場合、その影響を小さくするためにできることがいくつかあります。VCO の高調波を LC または RC の低周波フィルタに通してもよいでしょう。VCO の高調波でプリスケアラのミスカウントが起きないように、抵抗やインダクタを fin 端子に直列に挿入することもできます。確実に、インピーダンス整合が良好にとれて、fin 端子のスプリアス・レベルができるだけ低くなるようにしてください。また、ナショナルセミコンダクター社の PLL はすべて入力インピーダ

ンスが 50Ω ではない点にご注意ください。VCO の高調波でしばしば大きな問題が引き起こされるようなものとしてお取り扱いください。

結論

本章では、すべてではありませんが、スプリアスの原因について見てきました。リファレンス・スプリアスのレベルを推定するのはたいへん難しい問題ですが、その判定法と本当に重要な点をいろいろと調べました。スプリアスには、判定法によっては、多くの手間がかかる傾向があり、スプリアスの除去の過程でしか、本当の原因が見つからないことがあります。

3. PLL システムにおけるノイズ・ソース

はじめに

この章では、位相雑音のソースおよびノイズフロアについて述べます。最初に、PLL のスペクトラムに影響を与えるノイズを理論的に算出します。次に、この算出法が最適であるかどうかは別に、これらの概念を応用して、位相ノイズをかなり正確に推定し、ほとんどの場合、数 dB 以内の精度に収まる、簡単で単純な方法を紹介します。

基本的な PLL 構成

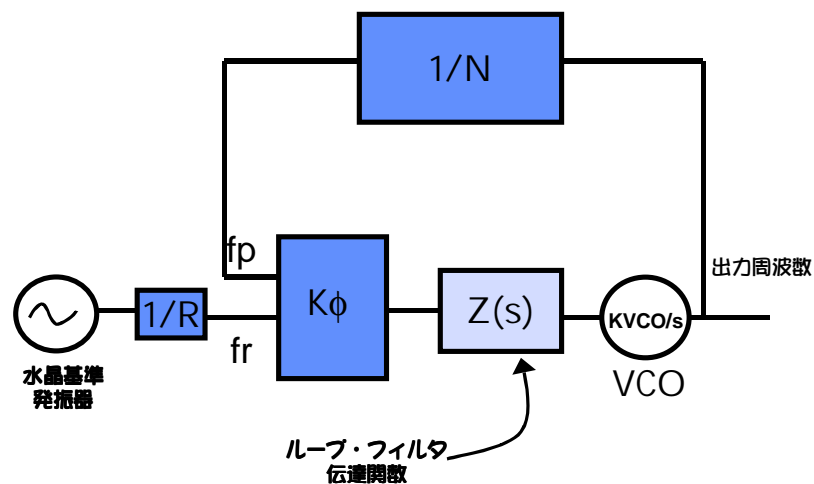


図 1 基本的な PLL 構成

連続時間近似

伝達関数を算出するために、1つの近似を導入する必要があります。それが連続時間近似です。位相比較器からの個々の電流パルスを連続信号として近似します。この連続信号は、個々のパルスの平均値と同じ平均値を持っています。この近似は比較周波数がシステムのループ帯域幅に近づくにつれ、粗くなります。PLL のチャージ・ポンプは、 $K\phi$ mA の大きさの電流パルスを出力するので、時間平均したチャージ・ポンプの出力は、 $K\phi/2\pi$ mA/radian になります。本書を通したすべての式においてチャージ・ポンプ出力 $K\phi/2\pi$ は VCO の出力 $KVCO \cdot 2\pi$ とかけあわされるため、この係数 2π は省略され、またチャージ・ポンプ出力は $K\phi$ として表され、VCO 出力は $KVCO$ として表されます。

伝達関数の算出

次のような伝達関数を定義することにより簡単になります。

$$G(s) = \frac{K\phi \cdot Kvco \cdot Z(s)}{s} \quad (1)$$

$$H = \frac{1}{N} \tag{2}$$

以下は、それぞれのノイズ・ソースとその伝達関数を表しています。

ソース	伝達関数
基準周波数	$\frac{1}{R} \cdot \frac{G(s)}{1+G(s) \cdot H}$
R デバイダ	$\frac{G(s)}{1+G(s) \cdot H}$
N デバイダ	$\frac{G(s)}{1+G(s) \cdot H}$
位相比較器	$\frac{1}{K\phi} \cdot \frac{G(s)}{1+G(s) \cdot H}$
ループ・フィルタの抵抗ノイズとループ・フィルタ中のアクティブ・デバイス	付録 A および参考文献[1]を参照
VCO	$\frac{1}{1+G(s) \cdot H}$

表 1 各種ノイズ・ソースと伝達関数

伝達関数の解析

ノイズ・ソースが表 1 で表されているソースであれば、そのノイズは対応する伝達関数との積になっています。基準周波数はそれに対応する伝達関数と掛け合わされた $1/R$ という係数を持っており、位相比較器は係数 $1/K\phi$ を持っています。位相比較器ノイズ、N デバイダ・ノイズ、R デバイダ・ノイズ、基準周波数ノイズは、すべてそれぞれの伝達関数に共通の要素を持っていることがわかります。この関数を以下に示します。

$$\frac{G(s)}{1+G(s) \cdot H} \tag{3}$$

このため、これらすべてのノイズ・ソースは、帯域内ノイズ・ソースと見なされます。ループ帯域幅 ω_c や位相マージン ϕ_c は次のように定義されます。

$$\|G(j \cdot \omega_c) \cdot H\| = 1 \tag{4}$$

$$180 - \angle G(j \cdot \omega_c) \cdot H = \phi \tag{5}$$

これらの定義、式(1)、(2)、および $G(s)$ が s 領域で単調に減少することから、次式が得られます。

$$\frac{G(s)}{1+G(s) \cdot H} \approx \begin{cases} N & \text{For } \omega \ll \omega_c \\ G(s) & \text{For } \omega \gg \omega_c \end{cases} \tag{6}$$

しかし、VCO ノイズは異なる伝達関数との積になっています。

$$\frac{1}{1+G(s) \cdot H} \tag{7}$$

この伝達関数 (7) は、次のように近似できます。

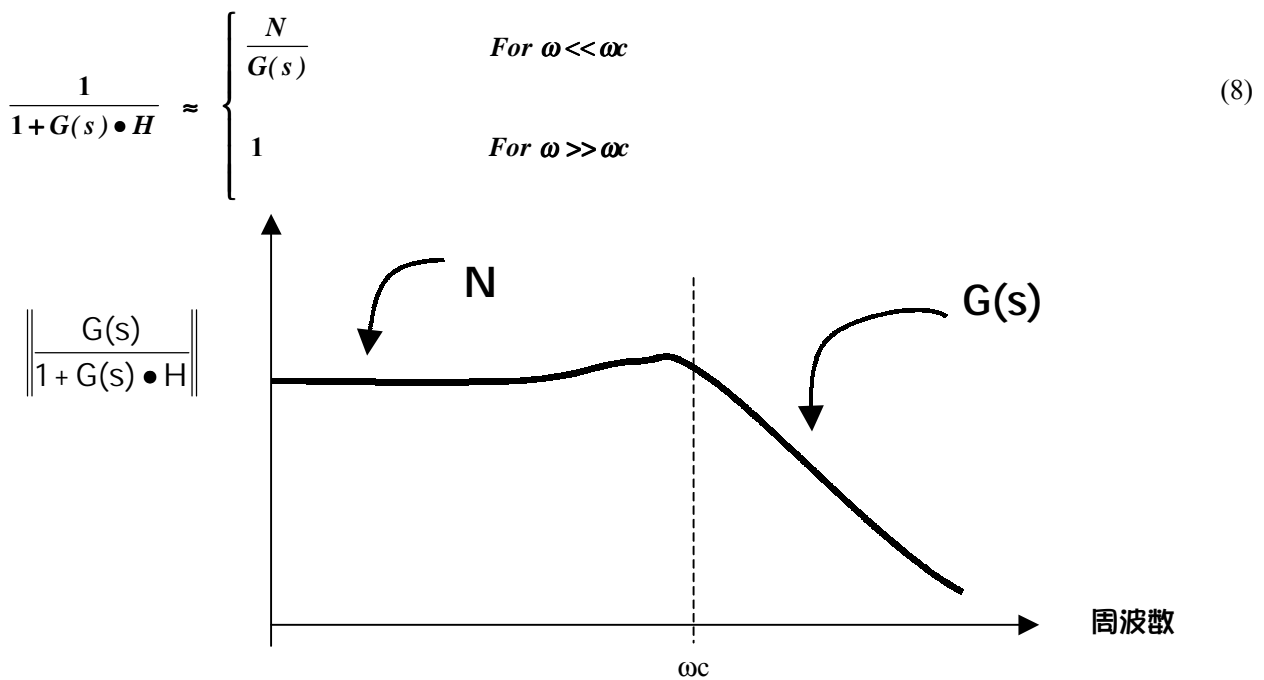


図2 すべての帯域内ノイズソースにかかる伝達関数 (VCO を除く)

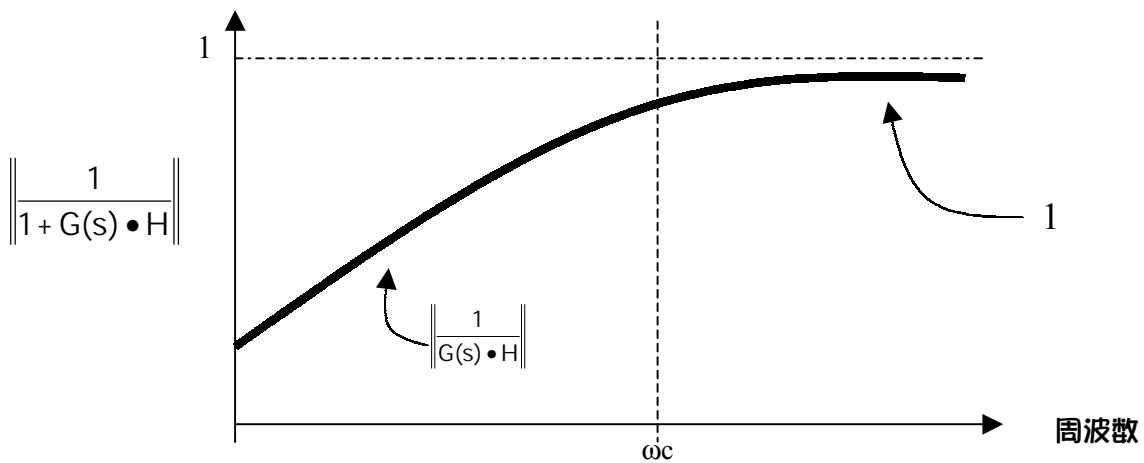


図3 VCO ノイズにかかる伝達関数

D 最適ループ・フィルタの設計

この検討から帯域内ノイズ・ソースは、ループ帯域内、すなわち $\omega \ll \omega_c$ で支配的であり、また VCO ノイズはループ帯域外、すなわち $\omega \gg \omega_c$ のとき支配的であることに注意すべきです。これを図 4 に示します。VCO ノイズを取り除くためのループ帯域幅を十分に広くした場合、搬送波に近いオフセットで測定される位相ノイズは、基本的にはループ帯域幅とは関係ありません。しかし、RMS 位相誤差はループ帯域幅に大きく依存しています。RMS 位相誤差が理論上最小になるような設計にするためには、 $\omega = \omega_c$ における VCO ノイズと $\omega = \omega_c$ におけるその他のソースからのノイズの合計とが等しくなるように設計する必要があります。通常、 ω_c は数 kHz くらいになります。

VCO のノイズが PLL に対し大きければ、この値は小さくなり、逆に PLL ノイズが VCO に比べ大きければ、この値は大きくなります。

ループ内 ($\omega \ll \omega_c$) ノイズは、帯域内ノイズソースにより支配的ですが、VCO からこの帯域内に若干ノイズが入ることも注意しなければなりません。これは、ループ帯域が狭帯域の場合に最も注意すべき点です。また、理論的な最適ループ帯域幅より小さくなります。

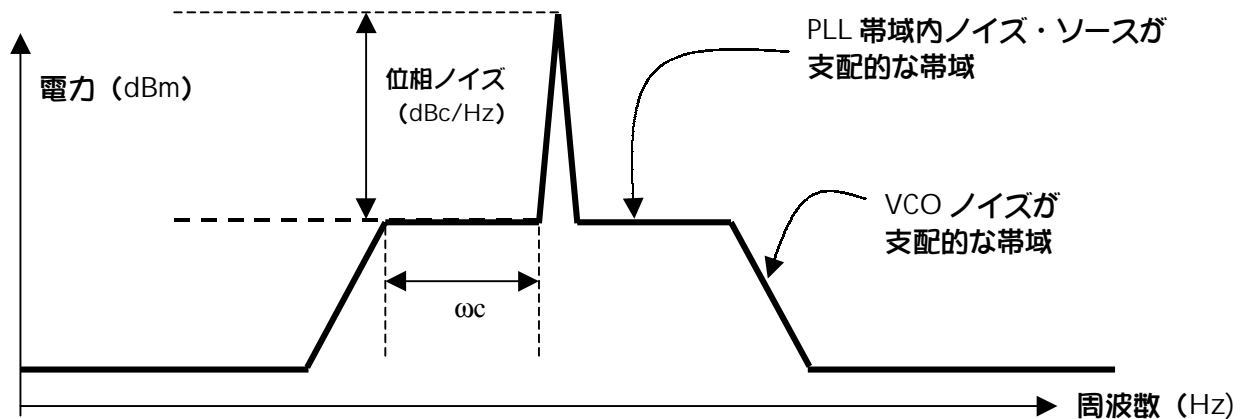


図4 PLL の典型的な位相ノイズ・スペクトラム

位相ノイズと位相ノイズ・フロア

前項の式より、ループ帯域内においては、VCO ノイズは小さく、帯域内ノイズは N 倍です。これは、ノイズ電圧なので、ノイズ電力は N^2 に比例します。したがって、位相ノイズが $20 \cdot \text{Log}(N)$ で変化するというのは、一般的な誤解です。この理論には間違いはありませんが、位相比較器の影響を無視しています。

位相ノイズ・フロア

位相ノイズ・フロアは以下のように定義されます。

$$\text{位相ノイズ・フロア} = \text{位相ノイズ (分解能帯域幅を考慮した)} - 20 \cdot \text{Log}(N) \quad (9)$$

位相比較器のサンプリング動作によるノイズ

デジタル・トライステート位相周波数比較器を仮定すると、比較周波数が高くなればなるほどノイズが発生することが考えられます。また、位相比較ノイズは、比較周波数に比例した支配的なノイズになる傾向にあります。しかし、比較周波数は N に反比例しています。したがって結果として、位相比較器によるノイズは、 $10 \cdot \text{Log}(N)$ で増加します。

N の関数としての近傍位相ノイズの推測

伝達関数による $20 \cdot \text{Log}(N)$ のノイズの改善と、位相比較器による $10 \cdot \text{Log}(N)$ のノイズ悪化とを考慮すると、位相ノイズは、

$$10 \cdot \text{Log}(N) \quad (10)$$

別の言い方をすると、 N が 10 増えれば、位相ノイズが 10dB 悪化することを意味します。このことは、AN-1152 に位相ノイズフロアの変化として記載されています。このため、比較周波数を考慮しなければ、位相ノイズ・フロアがまったく意味のないものになってしまいます。

一般的な近傍位相ノイズの推定

ナショナル セミコンダクター社の PLL は、それぞれ異なった位相ノイズ性能を有しています。いくつかの製品に関して、データを以下に示します。この情報は変更されることがあり、保証されるものではありません。分周器、水晶基準発振器、VCO が帯域内位相ノイズに影響を与えることは事実ですが、一般的には位相比較器のノイズの方が支配的です。この位相比較器ノイズは比較周波数に依存しますので、この表は比較周波数 1Hz 当たりの位相比較器ノイズの理論値として正規化してあります。また、弊社評価ボード上で測定されたデータを基にしています。

PLL	1 Hz 当たりの正規化位相ディテクタ・ノイズ・フロア (dBc/Hz)
LMX233x LMX233xL	-211
LMX23x6 single	-210
LMX15x1,23x5	-206
LMX2350/52	-201@Vcc=3 V, -205 @ Vcc = 5 V
LMX 1600 family	-199

表 2 1Hz 当たりの正規化位相ノイズ・フロア

位相ノイズを推定するには、

$$\text{位相ノイズ} = (\text{表 2 上の 1Hz 当たり正規化位相ノイズ・フロア}) + 10 \cdot \text{Log}(\text{比較周波数}) + 20 \cdot \text{Log}(N) \quad (11)$$

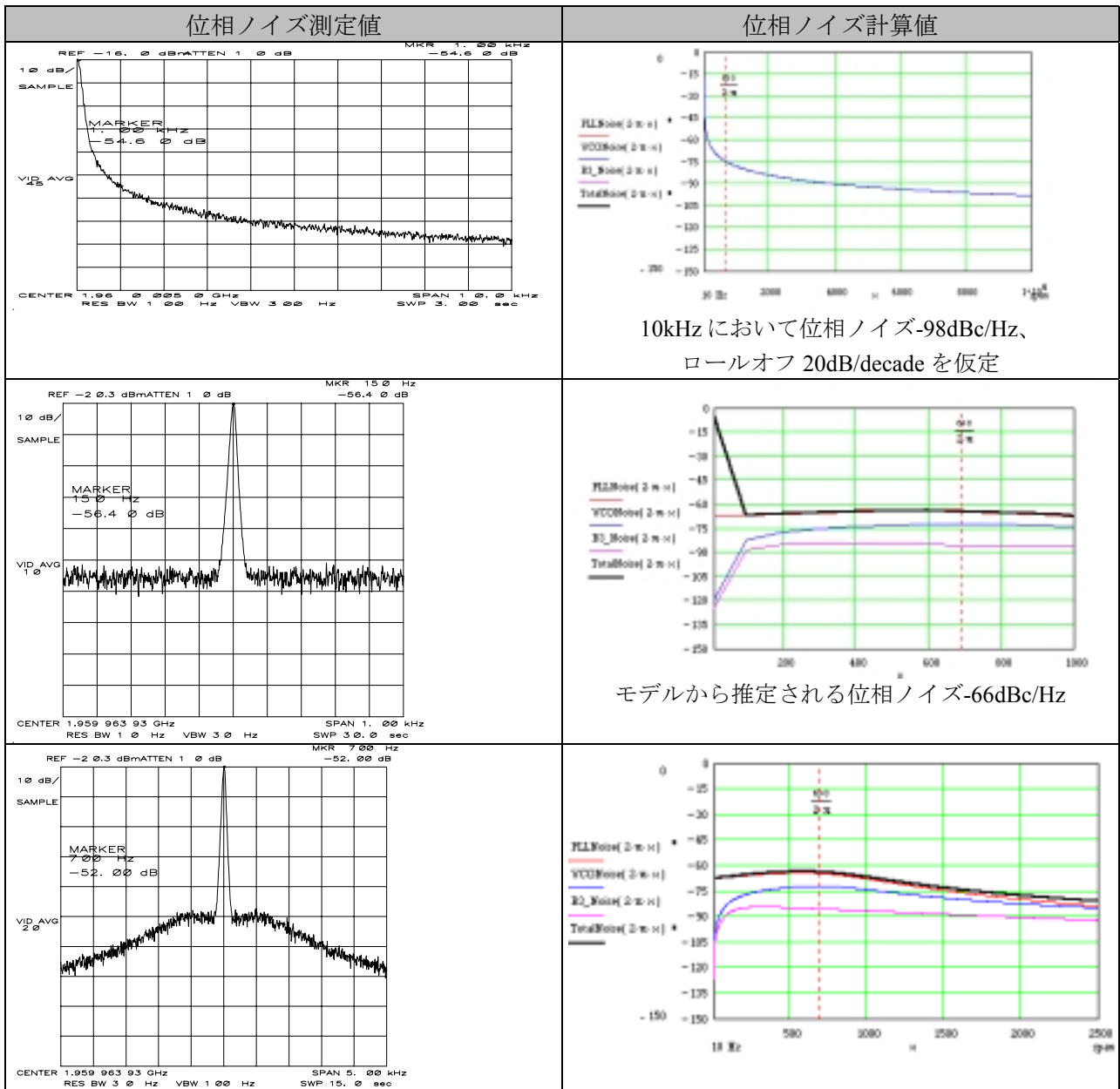
例) PLL IC=LMX2315、VCO 周波数=900MHz、比較周波数=200kHz (N=4500)

$$-206 + 10 \cdot \text{Log}(200000) + 20 \cdot \text{Log}(4500) = -80 \text{ dBc/Hz} \quad (12)$$

表 2 は、PLL 同士の性能のおおまかな対比を表しています。また、dB の差異は、単に表の上での数値の差になると推定されます。フラクショナル N PLL LMX2350/52 で注意しなければならないのは、位相ノイズフロアがまぎらわしい場合がある点です。フラクショナル N PLL は比較周波数を高く設定することが可能なので、位相ノイズ・フロアが悪化するにもかかわらず、実際の位相ノイズはもっと良くなる傾向にあります。これは、N の値が比較周波数が高くなるにつれて小さくなるためです。そのため、PLL チップ同士のノイズ・フロアを直接比較することには注意しなければいけません。

計算例

以下の例では PLL LMX2350 と Varil 社の VCO 1960U を使った場合の位相ノイズを推定しています。これは評価ボードの説明書から引用したデータです。位相ノイズを得るには、10・Log (分解能帯域幅) をスペクトラム・アナライザのプロットから差し引く必要がある点に注意ください。



上記位相ノイズ計算値の補正

表の位相ノイズ数値はほとんどの場合、位相ノイズとして正確な推測値になります。デバイスによっていくらかばらつきがあり、またレイアウトにも依存しますが、あまり大きな違いはありません。表の数値は、チャージ・ポンプが帯域内位相ノイズの支配的要因であることを前提にしており、これは通常成り立ちます（常にとは限りません）。他にも、位相ノイズに影響を与える要素がいくつかあります。

1. 帯域内 VCO 位相ノイズの影響

位相ノイズ計算の目的のため、ループ帯域内における VCO ノイズの影響は、無視できるものとみなします。図 3 を参照すると、VCO は実際、ループ帯域内へノイズを与えていることがわかります。

この伝達関数はループ帯域内で増加していきませんが、VCO ノイズは減少していきます。これら 2 つの関数を一緒に掛け合わせると、結果は比較的平らになります。ノイズの大きい VCO の場合、あるいはループ帯域幅が狭い場合は、VCO はループ帯域内に更にノイズを与える傾向があります。たとえば前の計算例で、帯域内位相ノイズの約 1dB 分は、VCO ノイズです。

2. チャージ・ポンプ・ゲインが低い場合の位相ノイズの調整

PLL ノイズの表は、PLL が最大のチャージ・ポンプ・ゲインを使用しているのを前提にしています。伝達関数を見ると、チャージ・ポンプ・ノイズは、チャージ・ポンプ・ゲインで割られていますが、通常の場合、チャージ・ポンプ・ゲインが増したときには、チャージ・ポンプ・ノイズも同様に増加します。時にはチャージ・ポンプが異なるゲインで使用されている場合でも位相ノイズは変わらなかったり、あるいは高いチャージ・ポンプ・ゲインを使用すると、位相ノイズが良くなったりします。このため、表に記載されているすべての数値は、チャージ・ポンプがゲイン最大の状態の場合のものであります。もし、これよりもゲインが低い場合は、位相ノイズは劣化することが考えられます。位相ノイズに対するチャージ・ポンプの影響は、使用されている PLL により異なります。例えば、ナショナル セミコンダクター社の PLL の場合、おおまかに言って、1mA 以下のチャージ・ポンプ・ゲインであれば、チャージ・ポンプ・ゲインは位相ノイズにほとんど影響を与えませんが、1mA 以上の場合は位相ノイズに影響を与えます。4mA から 1mA へゲインを下げた場合、LMX233x シリーズで平均 4dB くらい位相ノイズが劣化することが測定されています。2mA から 1mA の場合は、2dB 程度の劣化が測定されています。このように最も高いチャージ・ポンプ・ゲインを使用したときに最良の位相ノイズを得る特性は、その他のメーカーの PLL と同様にナショナル セミコンダクター社の PLL の特性です。

3. デュアル PLL の調整

デュアル PLL の場合、最適な位相ノイズ性能は、片方の PLL が使用されておらず、電源を落とした上、VCO も接続されていないときに得られます。この状態の場合、表の値から約 2dB の改善が期待されます。表は、片方の PLL の電源を落としても、VCO が接続されている状態を想定しています。片方の PLL に電源が入り動作している場合、位相ノイズは表の推定値から約 1~2dB 劣化します。2 つの PLL の出力周波数が近ければ近いほど、位相ノイズの劣化はひどくなります。

4. ノイズのある水晶基準発振器の検討

チャージ・ポンプ・ノイズが支配的であると考えられています。しかし、水晶基準発振器のノイズが大きい場合は当てはまらないこともあります。基準周波数ノイズは、R で分周され N 倍されています。基準周波数ノイズが支配的であることを確かめる方法の 1 つは、基準周波数を 2 倍し、R の値を 2 倍にすることです。もし、位相ノイズが変化するならば、基準周波数が支配的なことが推測されます。

5. 抵抗ノイズ

あらゆる抵抗は熱雑音を発生します。通常、ループ帯域内の抵抗ノイズの影響はまったく無視できます。しかし、搬送波から離れた周波数では、抵抗ノイズの影響が大きくなる場合があります。ループ帯域の近くでも、抵抗 R3 が大きい場合 (>20 kΩ)、影響が大きくなります。ループ・フィルタの抵抗を小さくすると、抵抗ノイズの位相ノイズへの影響は小さくなります。たとえば、同じ設計パラメータの下では、ループ・フィルタのチャージ・ポンプ電流が大きくなるよう設計すると、抵抗ノイズは小さくなります。抵抗の計算値が小さくなるからです。

6. 入力感度不足の問題

位相ノイズが予測以上に悪化する原因はいくつもあります。可能性の 1 つに、VCO や水晶発振器のパワー・レベルがカウンタを駆動するのに不十分な場合があります。高周波 VCO では、インピーダンス・マッチングの問題も入力感度の問題になります。表の位相ノイズの値は、VCO や水晶発振器のパワー・レベルがカウンタを駆動するのに十分で、VCO とプリスケラ入力端子とのインピーダンス・マッチングの問題がない場合を想定しています。

7. スペクトラム・アナライザの補正係数

スペクトラム・アナライザを使った一般的な位相ノイズ測定法は次のようになります。

$$\text{位相ノイズ} = \text{搬送波電力} - \text{ノイズ電力} - 10 \cdot \text{Log}(\text{分解能帯域幅})$$

しかし、この方法はあまり正確ではありません。スペクトラム・アナライザには、装置内のログ・アンプを考慮して位相ノイズに加算される補正係数があります。この補正係数は約 2dB です。多くのスペクトラム・アナライザには"Mark Noise" と呼ばれる機能があり、スペクトラム・アナライザの補正係数を計算に入れます。この章に記載された各デバイス固有の位相ノイズ値は、スペクトラム・アナライザの補正係数を考慮していませんので、2dB 程度はよくなると見込まれます。

結論

本章では位相ノイズについて調べ、ある程度正確に推測する例を述べてきました。ループ帯域内では、一般に PLL 位相比較器が支配的なノイズ・ソースで、ループ帯域外では、VCO ノイズがしばしば支配的なノイズ・ソースになります。位相ノイズの測定では、測定誤差が±0.5 dB はあると見込むのが適当です。位相ノイズは、ボードによっても、チップによっても変わってきますが、一般的にこの偏差は数 dB 程度です。

参考文献

- [1] Lascari, Lance *Accurate Phase Noise Prediction in PLL Frequency Synthesizers*
Applied Microwave & Wireless Vol.12 No. 5. May 2000
- [2] Lascari, Lance *Mathcad PLL Phase Noise Simulation Tool*
<http://home.rodchester.rr.com/lascari/lancepll.zip>

付録 A: 1Hz 当たりの正規化ノイズ・フロア値

本章に目を通された方は、特に表 2 に示した 1Hz 当たりの正規化ノイズ・フロアの値が何か気になることでしょう。また、これら位相ノイズの理論値がどの程度実測値に対応するのかを考えられると思われま。これらの数値は測定値から推定したもので、その測定値は公表された一連の情報から得ています。したがって実際に元の資料にもどって、この表を作成するのに用いたデータを確認できます。公表されたデータには 3 つの出典があります。評価基板説明書、特性報告書、データブックです。評価基板は測定データのよい情報源になり、次のような用語が用いられています。

PLL	--	使われている PLL のことです。
Family	--	PLL のシリーズです。たとえば LMX2330、LMX2331、LMX2332 は、プリスケラが違う点をのぞけば基本的に同じ PLL です。同じファミリ内のものは非常に似ているため、位相ノイズの特性は非常に近似しています。
Fout	--	MHz 単位の出力周波数です。
Fcomp	--	kHz 単位の比較周波数です。
N	--	N デバイダの分周比です。
CP %	--	多くの PLL では、数種類のチャージ・ポンプの電流設定がありにユーザがプログラム可能です。PLL によっては位相ノイズが変わります。一般に可能な限り最大のチャージ・ポンプ・ゲインで PLL を動かすのが最も有効です。表 2 の数値は最大チャージ・ポンプ電流を仮定しています。チャージ・ポンプ電流が最大でない場合は、この列に最大チャージ・ポンプ電流に対する割合が示してあります。
CP Adj	--	チャージ・ポンプ補正值。この列には、PLL が最大電流の設定で動作していない場合、位相ノイズ性能の劣化の予測値が示されます。
Dual Adj	--	デュアル PLL の場合、一方の VCO が動いていてももう一方の電源が入っていないものとし。もう一方の VCO を実際に切り離すと、約 2dB 位相ノイズがよくなる傾向があります。この列には、このような場合の補正值が入ります。
Noise Floor	--	次の 3 つの方法で計算した 1Hz 当たりの正規化位相ノイズ
Base	--	表 2 からの数値です。
Adj	--	Base 値に CP Adj または Dual Adj からの補正值を加えた値です。
Actual	--	実際の位相ノイズ測定から計算されます。
Phase Noise	--	次の 2 つの方法で計算した位相ノイズを示しています。
Predicted	--	本章で示した公式を使って計算されます。
Actual	--	実際の位相ノイズ測定値です。

位相ノイズの表を次ページに示します。位相ノイズの実際値と推定値が一致していることに注目ください。これらの位相ノイズの値は測定に使ったスペクトラム・アナライザの補正係数を考慮していません。それは、これらの数値を引用してきた実際の出典で、スペクトラム・アナライザの補正係数を考慮せずに位相ノイズを掲載してあるためです。

様々なナショナル PLL 製品の位相ノイズ測定値

製品	名称	Fout (MHz)	Fcomp (KHz)	N	CP %	CP Adj	Dual Adj	ノイズ・フロア (dBc/Hz)			位相ノイズ		
								Base	Adj	実測値	予測値	実測値	
評価基板													
LMX1600	1600eval	1780	200	8900	100	0	0	-199	-199	-197.4981	-67.0019	-65.5	2
LMX1601/02	1601eval	889	200	4445	10	2	0	-199	-197	-197.0677	-71.03226	-71.1	1,2
LMX2306	demo2306	235	50	4700	100	0	0	-210	-210	-210.1317	-89.56834	-89.7	
LMX2316	demo2316	889	200	4445	100	0	0	-210	-210	-207.2677	-84.03226	-81.3	
LMX2326	demo2326	1930	200	9650	100	0	0	-210	-210	-209.7008	-77.29915	-77	
LMX2301	lmx2301g	137.5	100	1375	100	0	0	-206	-206	-182.2661	-93.23395	-69.5	3
LMX1501	lmx1501g	900	200	4500	100	0	0	-206	-206	-196.0746	-79.92545	<-70	
LMX1511	lmx1511g	900	200	4500	100	0	0	-206	-206	-206.0746	-79.92545	-80	
LMX2315	lmx2315g	900	200	4500	100	0	0	-206	-206	-206.0746	-79.92545	-80	
LMX2325	lmx2325g	2425	1000	2425	100	0	0	-206	-206	-206.8942	-78.30577	-79.2	
LMX2330	2330aevl	2425	1000	2425	100	0	0	-211	-211	-207.6942	-83.30577	-80	2
LMX2330l	2330levl	2425	1000	2425	100	0	0	-211	-211	-207.2942	-83.30577	-79.6	2
LMX2331	2331evl	1775	200	8875	100	0	0	-211	-211	-211.7737	-79.02633	-79.8	2
LMX2331L	2331levl	1775	200	8875	100	0	0	-211	-211	-211.7737	-79.02633	-79.8	2
LMX2332	2332aevl	900	200	4500	100	0	0	-211	-211	-207.0746	-84.92545	-81	2
LMX2332L	2332levl	900	200	4500	100	0	0	-211	-211	-207.0746	-84.92545	-81	2
LMX2336	2336eval	1830	200	9150	25	4	0	-211	-207	-207.0387	-74.76128	-74.8	2
LMX2336	2336evla	1780	200	8900	100	0	0	-211	-211	-210.6981	-79.0019	-78.7	2
LMX2350	2350eval	1960	160	12250	100	0	0	-201	-201	-200.2039	-67.19608	-66.4	2
LMX2352	2352eval	902	160	5638	100	0	0	-201	-201	-200.2629	-73.93707	-73.2	2
特性解析データ													
LMX2331A	LowPwr	1653	300	5510	100	0	-2	-211	-213	-213.0942	-83.40576	-83.5	2
LMX2331L	LowPwr	1653	300	5510	100	0	-2	-211	-213	-212.8942	-83.40576	-83.3	2
LMX2332A	LowPwr	1017	25	40680	100	0	-2	-211	-213	-211.767	-76.83298	-75.6	2
LMX2332L	LowPwr	1017	25	40680	100	0	-2	-211	-213	-211.467	-76.83298	-75.3	2
LMX1600	LowCost	903	25	36120	100	0	-2	-199	-201	-199.3344	-65.86565	-64.2	2
LMX1600	LowCost	903	200	4515	100	0	-2	-199	-201	-200.8035	-74.89654	-74.7	2
LMX1601	LowCost	903	25	36120	100	0	-2	-199	-201	-199.1344	-65.86565	-64	2
LMX1601	LowCost	903	200	4515	100	0	-2	-199	-201	-200.6035	-74.89654	-74.5	2
LMX1602	LowCost	903	25	36120	100	0	-2	-199	-201	-199.5344	-65.86565	-64.4	2
LMX1602	LowCost	903	200	4515	100	0	-2	-199	-201	-200.4035	-74.89654	-74.3	2
LMX2306	LowPwr	235	50	4700	100	0	0	-210	-210	-207.2317	-89.56834	-86.8	
LMX2306	LowPwr	245	50	4900	100	0	0	-210	-210	-202.7936	-89.20638	-82	
LMX2306	LowPwr	250	50	5000	100	0	0	-210	-210	-208.4691	-89.0309	-87.5	
LMX2316	LowPwr	889	200	4445	100	0	0	-210	-210	-207.2677	-84.03226	-81.3	
LMX2316	LowPwr	902	200	4510	100	0	0	-210	-210	-206.7938	-83.90617	-80.7	
LMX2316	LowPwr	915	200	4575	100	0	0	-210	-210	-207.9181	-83.78188	-81.7	
データブック													
LMX1511	DataSheet	886	25	35440	100	0	0	-206	-206	-210.4693	-71.03073	-75.5	
LMX2320	DataSheet	1669	300	5563	100	0	0	-206	-206	-210.7779	-76.32209	-81.1	
LMX2315	AN-1001	900	200	4500	100	0	0	-206	-206	-205.6746	-79.92545	-79.6	
LMX2332A	AN-1052	900	31.25	28800	100	0	-2	-211	-213	-213.9363	-78.86365	-79.8	2
コメント													
1. LMX233x リーズに関して、4X チャージ・ポンプ電流は 1X 電流よりも 4dB 優れている。													
2. 最高ノイズ特性は、IF VCO を切り離すことにより得られる。次に IF 電源を切り、次には IF を動作させる。													
3. これらの測定ボードは、ディスクリート VCO および狭帯域ループフィルタであるため、近傍位相ノイズは悪くなっている。													

付録 B： 抵抗の位相ノイズおよびアクティブ・デバイスの位相ノイズ

ノイズ電圧

抵抗とオペアンプなどのアクティブ・デバイスはノイズ電圧を発生します。オペアンプの場合、ノイズ電圧は仕様値が規定されるはずですが、抵抗の場合、ノイズ電圧は抵抗が発生する熱雑音です。抵抗の発生する熱雑音は、

$$R_Noise = \sqrt{4 \cdot T_0 \cdot K \cdot R}$$

T_0 = ケルビン単位の環境温度 = 300 ケルビン (典型値)

K = ボルツマン定数 = 1.380658×10^{-23} (ジュール/ケルビン)

R = Ω 単位の抵抗値

抵抗とオペアンプとどちらの場合も、単位は $\frac{V}{\sqrt{Hz}}$ です。位相ノイズは 1Hz 帯域幅当たり正規化されるので、分母は無視できて単位はボルトと考えて差し支えありません。

ノイズ電圧の伝達関数

ノイズ電圧がわかれば、開ループ伝達関数 $T(s)$ が表せます。 $T(s)$ は、開ループ系の場合に、ノイズ電圧と、ノイズ電圧によって VCO の制御端子に発生する電圧を関係づけます。閉ループ系を考えると、 $T(s)$ を単に VCO の開ループ伝達関数で割るだけです[1]。伝達関数 $T(s)$ を導出する際、接地点はすべて接続され、その間は短絡しているのを考慮すると、計算が簡単になります。抵抗ノイズの伝達関数を考える場合、抵抗ノイズが抵抗のいずれかの端子に影響を及ぼしていると考えられます。実際の伝達関数は、本章の終わりの設計例で式を示しますので、ここでは計算しません。

ノイズ電圧の dBc/Hz 表記の位相ノイズへの変換

参考文献[1]にこの説明があります。リーク性リファレンス・スプリアスが信号の変調指数と関係するのが示されているのと同様に、位相ノイズを求めるため、ここでも変調指数の考え方を当てはめています。Vnoise は、開ループ系の場合 VCO 入力端子に生じるノイズ電圧、 f は周波数、 G は開ループ伝達関数を表します。ノイズ電圧はピーク・トゥ・ピーク値ではなく RMS 値で表示されているので、 $\sqrt{2}$ の係数をかける必要がある点に注意ください。

$$\text{位相ノイズ} = 20 \cdot \log\left(\frac{\beta}{2}\right)$$
$$\beta = \frac{\sqrt{2} \cdot V_{noise} \cdot K_{vco}}{f} \cdot \frac{|T(2 \cdot \pi \cdot i \cdot f)|}{\left|1 + \frac{G(2 \cdot \pi \cdot i \cdot f)}{N}\right|}$$

抵抗ノイズは、ループ・フィルタ内の抵抗が大きくなりすぎると問題になります。抵抗ノイズは、ループ帯域幅に近い周波数で最も影響が大きくなる傾向があります。ループ帯域外でも多少の影響があります。電流ゲインを高くしたり、フラクショナル N PLL を用いると、抵抗ノイズの影響を小さくできます。オペアンプのノイズは、特にオペアンプがあまり低ノイズでない場合、かなり大きい位相ノイズを生じさせます

位相ノイズ解析

ここでパラメータを入力

$$\begin{aligned} K\phi &:= 5 \cdot \text{mA} & F_{\text{comp}} &:= 1000 \cdot \text{kHz} & F_{\text{out}} &:= 900 \cdot \text{MHz} & K_{\text{vco}} &:= 20 \frac{\text{MHz}}{\text{volt}} \\ C1 &:= 4.259 \cdot \text{nF} & C2 &:= 75.15 \cdot \text{nF} & C3 &:= 852 \cdot \text{pF} & C4 &:= 106 \cdot \text{pF} \\ R2 &:= 0.582 \cdot \text{k}\Omega & R3 &:= 1.814 \cdot \text{k}\Omega & R4 &:= 1.814 \cdot \text{k}\Omega \end{aligned}$$

パラメータの計算

$$N := \frac{F_{\text{out}}}{F_{\text{comp}}} \quad N = 900$$

$$\begin{aligned} a &:= R2 \cdot R3 \cdot R4 \cdot C1 \cdot C2 \cdot C3 \cdot C4 & d &:= C1 + C2 + C3 + C4 \\ b &:= C1 \cdot C2 \cdot R2 \cdot R3 \cdot (C3 + C4) + R4 \cdot C4 \cdot (C2 \cdot C3 \cdot R3 + C1 \cdot C3 \cdot R3 + C1 \cdot C2 \cdot R2) \\ c &:= R2 \cdot C2 \cdot (C1 + C3 + C4) + R3 \cdot (C1 + C2) \cdot (C3 + C4) + R4 \cdot C4 \cdot (C1 + C2 + C3) \end{aligned}$$

$$Z(s) := \frac{1 + R2 \cdot C2 \cdot s}{s \cdot (a \cdot s^3 + b \cdot s^2 + c \cdot s + d)}$$

ループ・フィルタ・インピーダンス

$$G(s) := \frac{K\phi \cdot K_{\text{vco}} \cdot Z(s)}{s}$$

順方向ループ・ゲイン

$$CL(s) := \frac{G(s)}{1 + \frac{G(s)}{N}}$$

閉ループ・ゲイン

帯域幅と位相余裕度

$$x := 1.0 \cdot \text{kHz}$$

ループ帯域幅の初期推定値

$$F_c := \text{root}(|G(x \cdot 2 \cdot \pi \cdot i)| - N, x)$$

$$F_c = 9.989 \cdot \text{kHz}$$

ループ帯域幅

$$f := F_c$$

$$\arg(G(F_c \cdot 2 \cdot \pi \cdot i)) \cdot \frac{180}{\pi} + 180 = 53.098$$

位相余裕度

位相ノイズ・プロファイル

Noise1Hz := -213 dBc/Hz 1 Hz 当りに正規化した位相比較器ノイズ
LMX2330 で副 PLL 側電源オフ
高チャージ・ポンプ電流設定

$$\text{NoiseFloor} := \text{Noise1Hz} + 10 \cdot \log\left(\frac{F_{\text{comp}}}{\text{Hz}}\right)$$

NoiseFloor = -153 dBc/Hz 位相ノイズ・フロア

$$\text{PLLNoise}(f) := \text{NoiseFloor} + 20 \cdot \log(|CL(f \cdot 2 \cdot \pi \cdot i)|)$$

PLLNoise(150·Hz) = -93.91 キャリア近傍位相ノイズ

VCO ノイズ

VCO ノイズは 20dB/decade で低減すると仮定

VC010khz := -100 dBc/Hz

$$\text{VCONoise}(f) := \text{VC010khz} - 20 \cdot \log\left(\frac{f}{10 \cdot \text{kHz}}\right) - 20 \cdot \log\left(1 + \frac{G(f \cdot 2 \cdot \pi \cdot i)}{N}\right)$$

抵抗ノイズ特性

$$k := 1.380658 \cdot 10^{-23} \frac{\text{joule}}{\text{K}} \quad T_0 := 300 \cdot \text{K} \quad R_{\text{Noise}}(R) := \sqrt{4 \cdot T_0 \cdot k \cdot R \cdot 1 \cdot \text{Hz}}$$

R2 の抵抗ノイズ

$$\text{VnR2} := R_{\text{Noise}}(R2) \quad \text{VnR2} = 3.105 \cdot 10^{-9} \text{ volt}$$

$$Z1(s) := \frac{1}{s \cdot C2} + R2$$

$$Z(s) := \frac{1}{s \cdot (C1 + C3 + C4 + s \cdot (C3 \cdot C4 \cdot R4 + C3 \cdot R3 \cdot C1 + C4 \cdot R4 \cdot C1 + R3 \cdot C4 \cdot C1)) + s^2 \cdot C1 \cdot C3 \cdot C4 \cdot R3 \cdot R4}$$

$$\text{TR2}(s) := \frac{1}{\left|1 + \frac{G(s)}{N}\right|} \cdot \left| \frac{Z1(s)}{Z1(s) + Z(s)} \right|$$

$$\text{R2_Noise}(f) := 20 \cdot \log\left(\frac{\sqrt{2 \cdot \text{VnR2} \cdot \text{TR2}(2 \cdot \pi \cdot i \cdot f) \cdot \text{Kvco}}}{2 \cdot f}\right)$$

R3の抵抗ノイズ

$$VnR3 := R_Noise(R3) \quad VnR3 = 5.482 \cdot 10^{-9} \text{ volt}$$

$$Z1(s) := \frac{1 + s \cdot C2 \cdot R2}{s \cdot (C1 + C2) + s^2 \cdot C1 \cdot C2 \cdot R2} + R3 \quad Z2(s) := \frac{1 + s \cdot C4 \cdot R4}{s \cdot C3 + s \cdot C4 + s^2 \cdot C3 \cdot C4 \cdot R4}$$

$$TR3(s) := \left| \frac{1}{1 + \frac{G(s)}{N}} \right| \cdot \left| \frac{Z1(s)}{Z1(s) + Z2(s)} \cdot \frac{1}{1 + s \cdot C4 \cdot R4} \right|$$

$$R3_Noise(f) := \text{if}(R3 > 1 \cdot \Omega, 20 \cdot \log\left(\frac{\sqrt{2} \cdot VnR3 \cdot TR3(2 \cdot \pi \cdot i \cdot f) \cdot Kvco}{2 \cdot f}\right), -500)$$

R4の抵抗ノイズ

$$VnR4 := R_Noise(R4) \quad VnR4 = 5.482 \cdot 10^{-9} \text{ volt}$$

$$Z2(s) := \frac{1 + s \cdot C2 \cdot R2}{s \cdot (C1 + C2) + s^2 \cdot C1 \cdot C2 \cdot R2} \quad Z(s) := R4 + \frac{R3 + Z2(s)}{1 + s \cdot C3 \cdot R3 + s \cdot C3 \cdot Z2(s)}$$

$$TR4(s) := \left| \frac{1}{1 + \frac{G(s)}{N}} \right| \cdot \left| \frac{1}{1 + s \cdot C4 \cdot Z(s)} \right|$$

$$R4_Noise(f) := \text{if}(R4 > 1 \cdot \Omega, 20 \cdot \log\left(\frac{\sqrt{2} \cdot VnR4 \cdot TR4(2 \cdot \pi \cdot i \cdot f) \cdot Kvco}{2 \cdot f}\right), -500)$$

リファレンス・スプリアス

LeakageSpur_00 := 7.1 dBc 全体を通して用いる経験的に知られた定数
 LeakageCurrent := 10^{-9} amp PLLのリーク電流を入力
 PulseSpur_00 := -311 dBc チップ固有の定数

計算

$$SpurGain := 20 \cdot \log(|G(Fcomp)|) \quad SpurGain = 13.924$$

$$LeakageSpur := LeakageSpur_00 + 20 \cdot \log\left(\frac{LeakageCurrent}{K \phi}\right) + SpurGain$$

$$PulseSpur := PulseSpur_00 + SpurGain + 40 \cdot \log\left(\frac{Fcomp}{1 \cdot \text{Hz}}\right)$$

$$TotalSpur(f) := \text{if}\left(|f - Fcomp| < 100 \cdot \text{Hz}, 10 \cdot \log\left(10^{\frac{PulseSpur}{10}} + 10^{\frac{LeakageSpur}{10}}\right), -500\right)$$

$$LeakageSpur = -112.955 \quad PulseSpur = -57.076 \quad TotalSpur(Fcomp) = -57.076$$

最小 RMS 帯域幅

$$\text{TotalNoise}(f) := 10 \cdot \log \left(\frac{\text{PLLNois}(f)}{10^{10}} + \frac{\text{VCONois}(f)}{10^{10}} + \frac{\text{R2_Nois}(f)}{10^{10}} + \frac{\text{R3_Nois}(f)}{10^{10}} + \frac{\text{R4_Nois}(f)}{10^{10}} + \frac{\text{TotalSp}(f)}{10^{10}} \right)$$

$$\frac{\text{VCO10kHz-NoiseFloor} \cdot 20 \cdot \log(N)}{10} \cdot 10 \text{ kHz} = 4.963 \text{ kHz} \quad \text{RMS 位相誤差}$$

$$\sqrt{\frac{\text{sec}}{\pi}} \cdot \frac{\text{TotalNois}(f)}{10^{10}} \cdot \omega = 0.118 \text{ deg} \quad \text{RMS 位相誤差}$$

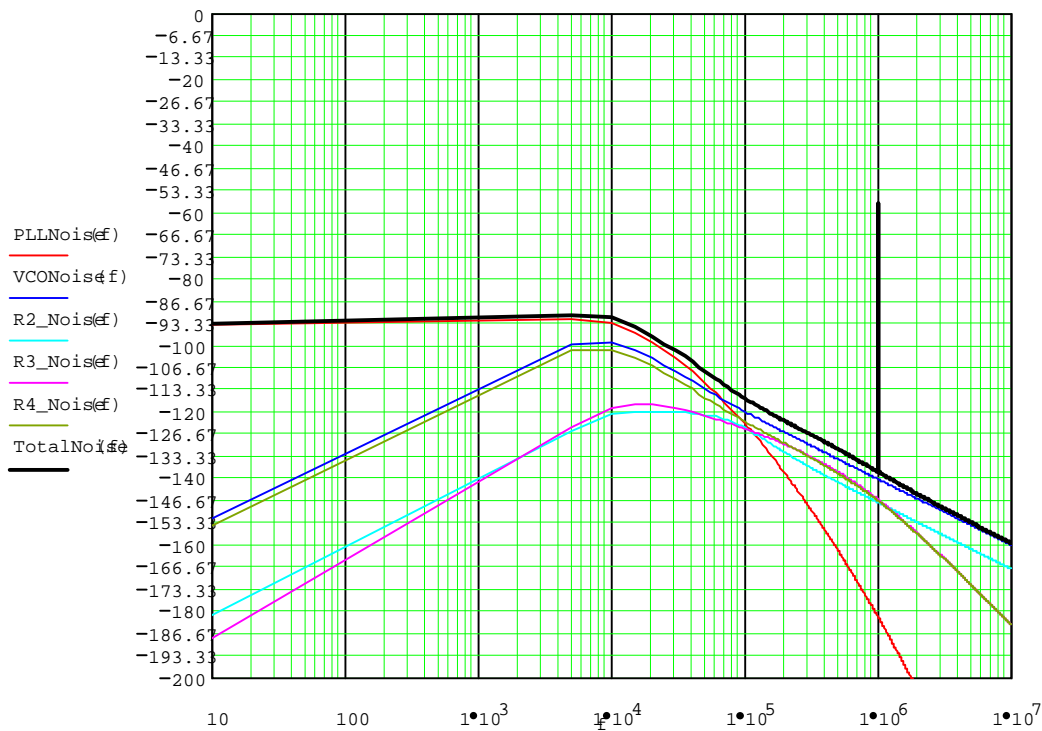
\bullet 50 kHz
 \bullet 100 Hz

スペクトラム・アナライザのシミュレーション

span := 10 · Fcomp kHz 単位でスパン周波数入力 f := 1 · Hz, $\frac{\text{span}}{2000} \dots \text{span}$

各オフセット周波数での位相ノイズ/スプリアス

TotalNoise(100 · Hz) = -93.911 dbc/Hz キャリア近傍位相ノイズ
 TotalNoise(Fcomp) = -57.076 dbc 基本リファレンス・スプリアス(最悪値)



4. RMS 位相誤差および信号対ノイズ比

はじめに

この章では、RMS 位相誤差やその計算方法、またデジタル通信における関連性や最適化方法などを述べます。また、PLL の信号対ノイズ比を論じます。

RMS 位相誤差

RMS 位相誤差を視覚的に見る方法として 3 通りあります。タイム・ドメイン、周波数ドメイン、コンスタレーション・ドメインです。これらそれぞれ違う視点の RMS 位相誤差は、すべて関係しており、以下で説明します。

タイム・ドメインにおける RMS 位相誤差

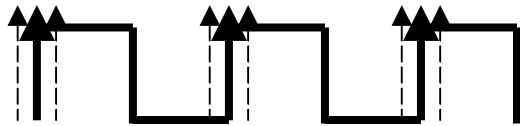


図 1 タイム・ドメインにおける信号上の RMS 位相誤差

上図は矩形波を示しています。矩形波の立ち上がりエッジは、立ち上がるべき時間ちょうどに立ち上がることはなく、立ち上がり、立ち下りともランダムな位相誤差を持っています。この位相誤差の平均値はゼロですが、変動値はゼロではなく、RMS 位相誤差と呼ばれます。正規分布を考えると、正規分布曲線の 68% の領域は、平均値から標準偏差内に収まります。これは、ランダムに位相の開始点のサンプルをとると、68% は RMS 位相誤差の範囲に入ることを意味します。信号の立ち上がりエッジは、立ち上がるべき時間に常に立ち上がらないのではなく、ジッタのようなものであることに注意しなくてはなりません。このようなことから、RMS 位相誤差や位相ノイズはしばしば位相ジッタと呼ばれます。PLL の出力はしばしばサイン波（矩形波ではなく）ですが、ここで一般性を失うことはほとんどありません。サイン波は、カウンタを通ると矩形波に変えられるためです。

例えば、RMS 位相誤差 5° の 10MHz 信号を考えると、この信号の周期は $0.1 \mu\text{s}$ なので、 5° の RMS 位相誤差は、標準偏差 1.339ns で正規分布したランダムな位相変動を意味します。

周波数ドメインからの RMS 位相誤差の計算

スペクトラム密度と RMS 位相誤差の関係式

RMS ノイズは位相ノイズを積分し、平方根を取り、ラジアンから度 ($^\circ$) へ変換することにより計算されます。積分端 a は搬送波に近接した値で、積分端 b は相当離れた点、一般にループ帯域外になる場合が多くなります。 b が無限大としても RMS 位相誤差に対し適当な近似になります。

$$\text{RMS 位相誤差} = \frac{180}{\pi} \cdot \sqrt{\int_a^b L(f) \cdot df} \quad (1)$$

なぜこの方程式なのか？

なぜ RMS 位相誤差がこのように計算されるのでしょうか。図 2 を参照して下さい。位相ノイズはスペクトラム・アナライザにより dBc/Hz で測定され、出力電力対周波数を示しています。位相ノイズは特定の周波数出力で測定されるため、搬送波周波数と不要なノイズ周波数との電力比として考えられ、デシベルで表されます。これはまた、位相ノイズ密度として考えられ、一般的に使われる特定の周波数オフセットの位相ノイズというより正確な名称です。本書や他の様々な資料で、位相ノイズという用語を使用していますが、実際に意味するのは、位相ノイズ密度です。つまり、位相は周波数の積分なので、位相ノイズ密度は特定の周波数に集中したノイズと同じものです。トータルの位相誤差を得るためには、位相ノイズ密度をすべての周波数スペクトラムにわたって積分を取る必要があります。

スペクトラム・アナライザは電圧対周波数ではなく、電力対周波数を表示するので、RMS (Root Mean Square) 誤差を得るために積分値の平方根をとらなければなりません。得られた数値はラジアンで無単位なので、これを度 (°) へ変換する必要があります。これが方程式(1)の理論になります。

RMS 位相誤差の概算

RMS ノイズを正確に計算するためには、スペクトラム密度が既知であることが必要です。これには PLL および VCO の知識が必要になります。位相ノイズの推測方法は本書の第 3 章で説明してありますが、VCO ノイズについては、未知数です。しかし、非常に関係があります。VCO ノイズを推定する 1 つの方法は、PLL のループ帯域幅から 20dB/Decade で減衰すると仮定することです。この近似を以下に示します。

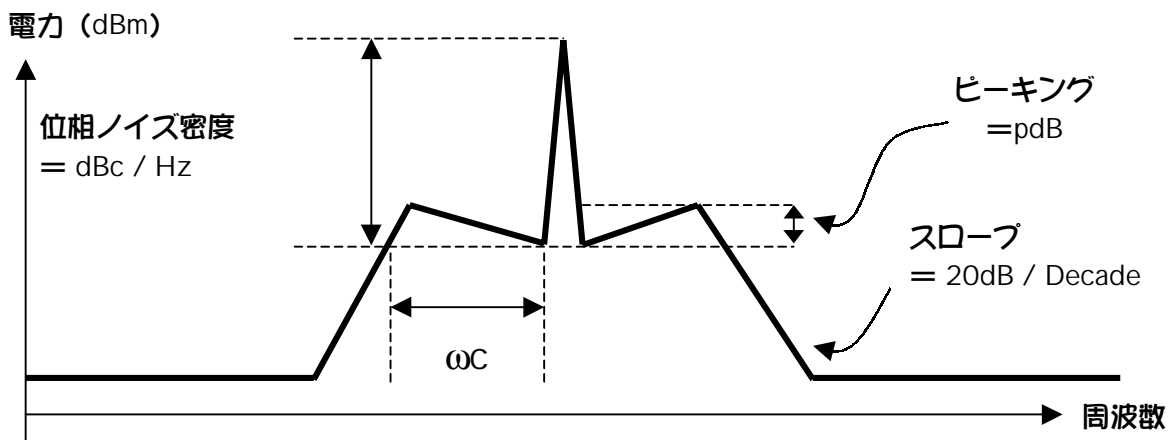


図 2 PLL の位相ノイズ・スペクトラム

RMS 位相誤差の近似計算

RMS 位相誤差を計算するために、式 (1) が使用されます。位相ノイズ密度 “k” は、dBc/Hz で表されていますので、これをデシベルからスカラへ変換する必要があります。

$$\begin{aligned}
 RMS_{noise} &= 2 \cdot \frac{180}{\pi} \sqrt{\int_0^{fc} 10^{k/10} \cdot \left(1 + [10^{p/10} - 1] \cdot \frac{f}{fc}\right) \cdot df + \int_{fc}^{\infty} 10^{(k+p)/10 - 20 \cdot \frac{\log(f-fc+1)}{10}} \cdot df} \\
 &= \frac{360}{\pi} \cdot 10^{k/20} \sqrt{\frac{fc}{2} \cdot (1 + 10^{p/10}) + 10^{p/10}}
 \end{aligned}$$

計算を簡単にするため、ループ帯域幅で位相ノイズがピークになると仮定することに注意ください。しかし、実際は図 2 に示すようにループ帯域幅の少し前でピーキングが起こっています。この影響により、これらの概算値は実際より少し低めに計算されます。通常 45 度の位相マージンにおけるピーキングは、3dB くらいですが、少し高い値を使う方が妥当です。位相ノイズの概算値が少し低めに見積もられるので、これを補償できるからです。ピーキング値としては 4dB くらいが適切です。

この計算例は VCO に関していくつかの仮定をしているので、近似計算を導入するのが適切です。平方根中の第 2 項は、第 1 項と比べて、適当などのようなループ帯域幅に対しても非常に小さいことがわかります。第 2 項を無視し、4dB のピーキングを仮定すれば、より簡単に使える式が得られます。

$$RMSノイズ = 150 \cdot 10^{k/20} \sqrt{fc}$$

ピーキング 0dB とすれば、上式の結果に 75%を掛け、ピーキング 3dB で 92%、ピーキング 10dB で 177%を掛けます。

ループ帯域幅 10kHz、位相ノイズ -80dBc/Hz で、ピーキング 4dB と仮定した場合、

$$RMS位相誤差 = 150 \cdot 10^{-80/20} \cdot \sqrt{10000} = 1.5 \text{度}$$

RMS 位相誤差が最適となるループ帯域幅の選択

上記の式は、狭帯域のループ帯域幅に対しては、RMS 位相誤差は小さくなることを意味しますが、実際はループ帯域幅のある範囲内でのみ有効です。上記の式で使用されている近似は、ループ帯域幅があまりに狭くなると、有効でなくなります。PLL ノイズと VCO ノイズが等しくなる点を超えて、ループ帯域幅を小さくしていくと、実際位相誤差は増加し始めます。その結果、最適な RMS 位相誤差として、PLL 位相ノイズがそのポイントで VCO のフリーラン・ノイズと等しくなるようなループ帯域幅を選択しなければいけません。これは、主なノイズ・ソースが、ループ帯域幅内では、VCO 以外の PLL からのものであり、またループ帯域外では、VCO からのものであるためです。

コンスタレーション図における RMS 位相誤差の解釈

もし、RMS 誤差をタイムドメインで視覚的に見た場合、RMS 位相誤差が、なぜ次のようなアプリケーションと関係あるのかわかります。クロック・リカバリの必要なアプリケーションや、信号の立ち上がりエッジが予期されている通りに立ち上がる必要があるアプリケーションなどです。しかし、コンスタレーション図の場合はより明確に見えます。

コンスタレーション図は、相対的な位相、つまり I (同相) および Q (直交位相: -90 度の位相シフト) 信号を表します。コンスタレーション図上のそれぞれの点は、異なるシンボルに対応し、マルチビットを表せます。以下は QPSK のコンスタレーション図です。

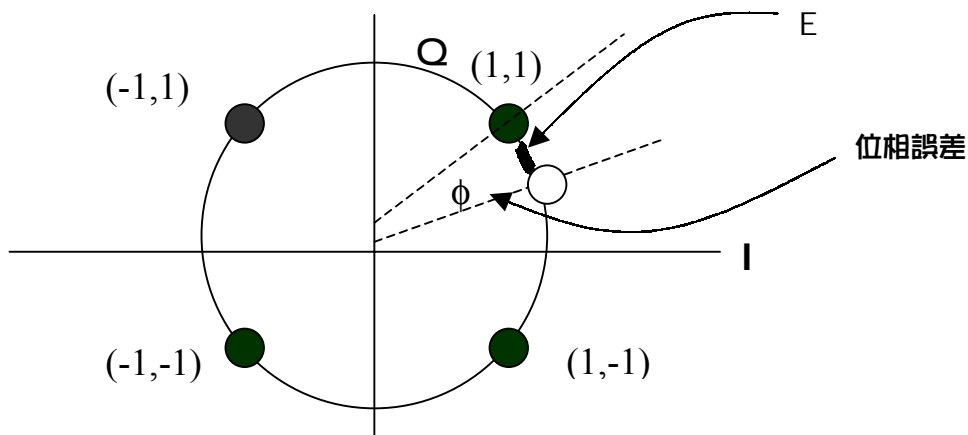


図3 コンスタレーション図にみる RMS 位相誤差の影響

受信器においてノイズ発生源が PLL のみであるような理想的なシステムを考えます。この例では、(1, 1) のビットに対応したシンボルは、黒丸により表される理想信号です。しかし、PLL では RMS 位相誤差はゼロではないので、受信信号は実際には白丸になります。もし、この実験を繰り返せば、受信信号と理想信号との間の位相誤差は、RMS 位相誤差と等しい標準偏差の範囲内に分布するのがわかります。RMS 位相誤差がとても大きい場合、実際には、信号は (-1, 1) や (1, -1) のようになってしまうこともありえます。また、RMS 位相誤差のコンスタレーション図の分析で、より高次の変調方式では、より RMS 位相誤差の影響が大きくなるのも明らかです。実際の通信システムでは、ノイズのあるチャネルやその他ノイズのある部品があることを考えれば、それらの他の影響と合わせたとき、PLL の RMS 位相誤差の関連性が明確になるはずですが。

RMS 位相誤差の他の解釈

アイ・ダイアグラム

RMS 位相誤差を見る一般的な方法の 1 つにアイ・ダイアグラムがあります。アイ・ダイアグラムへの RMS 位相誤差の影響は、「目」が閉じていくことです。これは、識別時間が小さくなり、ビット誤りが起きやすくなることを意味します。

エラー・ベクトル振幅 (EVM)

EVM は、理想的な信号と実際に受信した信号との差のベクトルの大きさをいいます (図 3 参照)。EVM は、一般的には、原点と理想信号との間のベクトルに対する誤差ベクトルのパーセンテージとして表されます。図 3 で、円の半径を R とし、余弦法則を当てはめると、誤差ベクトル E の大きさは以下ようになります。

$$E = 2 \cdot R^2 - 2 \cdot R^2 \cdot \cos(\phi)$$

ϕ が小さいと仮定し、テイラー展開 $\cos(\phi) = 1 - \phi^2/2$ を使用すると、次のような RMS 位相誤差と EVM との関係式が得られます。

$$EVM = 100\% \cdot \left(\frac{\pi}{180} \right) \cdot (RMS \text{ Phase Error in Degrees})$$

信号対ノイズ比

PLL の信号対ノイズ比は搬送波電力のノイズ電力に対する比です。位相ノイズは dBc/Hz で表されます。信号は相対電力レベル 0dBc/Hz で 1Hz の帯域幅内に集中していると考えられます。したがって、信号のトータル電力は 0dBc です。

ノイズ電力はキャリア以外の電力スペクトラム密度を積分して得られます。積分端 a は、キャリアを無視する限り 0 と仮定できます。積分端 b は問題となる帯域幅、おそらくチャンネル間隔となります。b を無限大としても一般的には適切な近似になり、一般論を議論するには十分です。

$$SNR = \frac{1}{2 \cdot \int_0^b L(f) \cdot df}$$

同様に PLL の信号対ノイズ比には別の定義があります。PLL の SNR がシステムにどのように影響するか正しく計算するには、実際は詳細な計算が必要です。しかし、簡単な類推で PLL の SNR がシステムに与える影響を概算できます。

ミキサの入力信号を考えると、

$$S1 = Si + Ni$$

ここで、S1 はトータル入力信号、Si は所定の入力信号、Ni は不要入力ノイズです。そこで PLL 信号を次のようにおきます。

$$S2 = Spll + Npll$$

したがって出力信号は 2 つの信号 S1、S2 の積で、

$$Sout = Spll \cdot Si + Spll \cdot Ni + Si \cdot Npll + Npll \cdot Ni$$

ここで第 1 項は所定の信号電力で最後の項は無視できます。したがって出力信号対ノイズ比は、

$$SNR = \frac{Spoll \cdot Si}{Spoll \cdot Ni + Si \cdot Npll} = \frac{SNR1 \cdot SNR2}{SNR1 + SNR2}$$

上の式において、SNR1 と SNR2 とは、それぞれ S1、S2 の信号対ノイズ比を表します。2 つの並列抵抗の合成と同様に、低い方の信号対ノイズ比が支配的です。信号対ノイズ比を得る非常におおまかな概算は数多くありますが、上記の計算式は PLL の信号対ノイズ比がシステム全体の信号対ノイズ比をどれくらい劣化させるかを示しています。

結論

RMS 位相誤差の意味、計算法、関連性を述べてきました。位相ノイズが低くなることは RMS 位相誤差が低くなることを意味します。前章で述べた位相ノイズとは違い、RMS 位相誤差はシステムのループ帯域幅に非常に依存しています。信号対ノイズ比 (SNR) は PLL のループ帯域幅にも高い依存性があります。

5. PLL 周波数シンセサイザの過渡応答

はじめに

本章では、 N デバイダが変わるときの PLL の周波数応答を考察します。唯一の近似は位相比較器の連続時間近似ですが、この場合を 4 次近似でモデル化するのに加え、また、2 次近似で使われる固有周波数と減衰率とを導きます。さらに、固有周波数と減衰率をループ帯域幅および位相余裕度に関係づけます。本章は PLL 周波数シンセサイザの過渡応答に厳密な数学的基礎を与えるのを目的としています。そのようにすることで、すべての経験則の代わりに使う普遍的なモデルを用意します。経験則はある特定の応用やある特定の条件下でしか有効でないからです。

PLL の基本構成

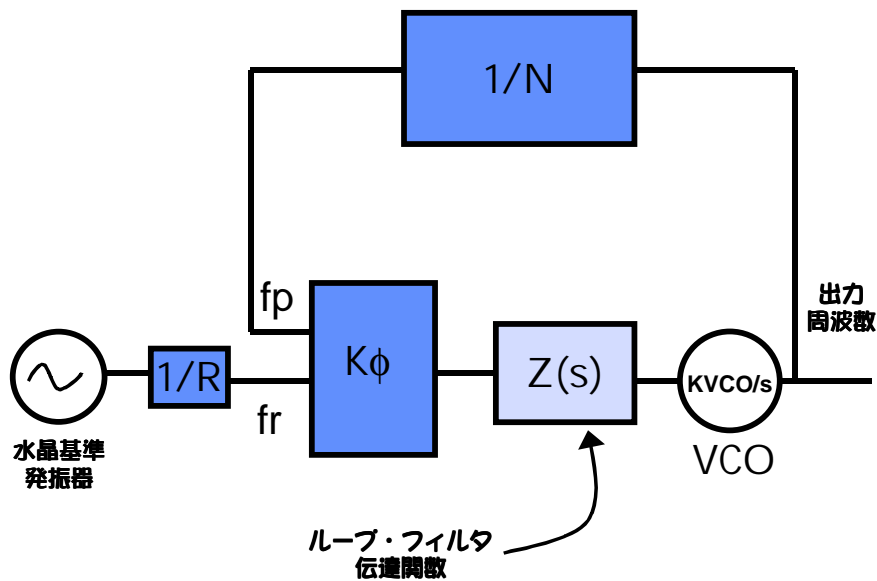


図 1 基本 PLL 構成

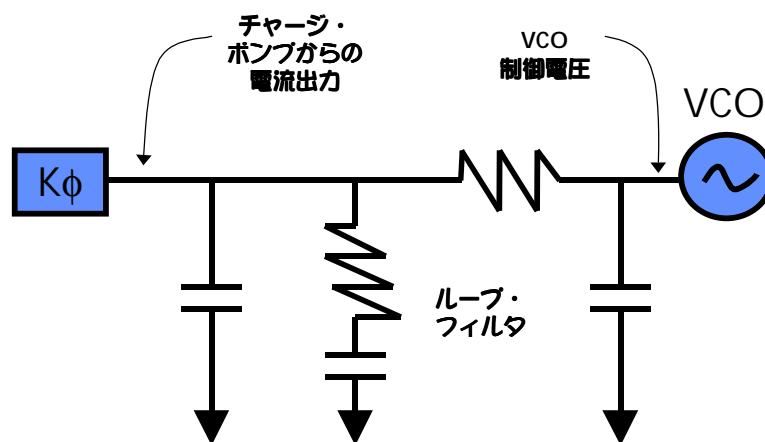


図 2 パッシブ 3 次ループ・フィルタを想定したトポロジ

連続時間近似

伝達関数を導くためには、1つの近似を導入する必要があります。それが連続時間近似で、位相比較器からの離散的な電流パルスに連続パルスと同じ平均値を持つ連続信号として近似します。比較周波数がシステムのループ帯域幅に近づくにしたがって、この近似は粗くなります。したがって、PLLのチャージ・ポンプは振幅 $K\phi$ mAの電流パルスを出力しますので、時間平均したチャージ・ポンプ出力は $K\phi/2\pi$ mA/radian になります。チャージ・ポンプ出力 $K\phi/2\pi$ は本章全体のすべての式で VCO 出力 $KVCO \cdot 2\pi$ と掛け合わされますので、これらの項の 2π は無視されます。図 1 のチャージ・ポンプ出力は $K\phi$ 、VCO 出力は $Kvco$ で示されます。

伝達関数の導出

次のように定数を定義します。

$$\begin{aligned} k0 &= R2 \cdot C2 \\ k1 &= R2 \cdot R3 \cdot C1 \cdot C2 \cdot C3 \\ k2 &= C2 \cdot C3 \cdot R2 + C1 \cdot C2 \cdot R2 + C1 \cdot C3 \cdot R3 + C2 \cdot C3 \cdot R3 \\ k3 &= C1 + C2 + C3 \end{aligned} \tag{1}$$

したがって、ループ・フィルタの伝達関数は以下のように与えられます。

$$Z(s) = \frac{1 + s \cdot k0}{s \cdot [s^2 \cdot k1 + s \cdot k2 + k3]} \tag{2}$$

これから、以下のような閉ループ伝達関数が得られます。

$$CL(s) = \frac{K\phi \cdot Kvco \cdot N \cdot (1 + s \cdot k0)}{s^4 \cdot N \cdot k1 + s^3 \cdot k2 \cdot N + s^2 \cdot k3 \cdot N + s \cdot K\phi \cdot Kvco \cdot k0 + K\phi \cdot Kvco} \tag{3}$$

過渡応答の2次近似

ここまでは、まったく近似を行ってきませんでした。この節では、過渡応答について直感的に理解するため、 $CL(s)$ を2次式 $CL1(s)$ で近似します。

高次の項の値は低次の項のそれに比べて小さいものと想定しています。初期値定理の式(4)は、低次の項を無視する結果、ロックアップ時間などの長時間の特性よりもオーバーシュートなどの初期応答特性について注視することを示しています。

$$\lim_{s \rightarrow \infty} s \cdot Y(s) = \lim_{t \rightarrow 0} y(t) \tag{4}$$

単純化した2次式は、

$$CL1(s) = \frac{\left(\frac{K\phi \cdot Kvco}{n \cdot k3} \right) \cdot (1 + s \cdot k0 \cdot N)}{s^2 + s \cdot \left(\frac{K\phi \cdot Kvco \cdot k0}{k3 \cdot N} \right)} \tag{5}$$

ここで、次のように定義します。

$$\zeta = \frac{R2 \cdot C2}{2} \cdot \sqrt{\frac{K\phi \cdot Kvco}{N \cdot (C1 + C2 + C3)}} \tag{6}$$

$$\omega_n = \sqrt{\frac{K\phi \cdot Kvco}{N \cdot (C1 + C2 + C3)}} \tag{7}$$

この関数の極は次のようになるのがわかります。

$$-\zeta \cdot \omega_n \pm j\omega_n \cdot \sqrt{1-\zeta^2} \quad (8)$$

初期状態で、周波数 f_1 に同期した PLL を考え、PLL が周波数 f_2 に切り替わるよう N カウンタが変わるとします。ただし、上記の式を通して使われている N の値は f_2 に対応する N 値です。この変化は比較周波数を f_1/N から f_2/N へ変えるのと等価です。式(5)の分子の第 1 項は主要な応答を示し、第 2 項はゼロ点による副次効果を表します。伝達関数のゼロ点はオーバーシュートと立ち上がり時間に多くの影響を与えますが、ロックアップ時間への影響はわずかです。逆ラプラス変換を使うと時間周波数応答は、

$$F(t) = f_2 + (f_1 - f_2) \cdot e^{-\zeta \cdot \omega_n t} \cdot \left[\cos(\omega_n \cdot \sqrt{1-\zeta^2} \cdot t) + \frac{\zeta - R_2 \cdot C_2 \cdot \omega_n}{\sqrt{1-\zeta^2}} \cdot \sin(\omega_n \cdot \sqrt{1-\zeta^2} \cdot t) \right] \quad (9)$$

大括弧の中の項には最大値、

$$\frac{1 - 2 \cdot R_2 \cdot C_2 \cdot \zeta \cdot \omega_n + R_2^2 \cdot C_2^2 \cdot \omega_n^2}{\sqrt{1-\zeta^2}} \quad (10)$$

があります。

その結果、ロックアップ時間は次式で与えられます。

$$\text{LockTime}(s) = \frac{-\ln\left(\frac{\text{tol}}{f_2 - f_1} \cdot \frac{\sqrt{1-\zeta^2}}{1 - 2 \cdot R_2 \cdot C_2 \cdot \zeta \cdot \omega_n + R_2^2 \cdot C_2^2 \cdot \omega_n^2}\right)}{\zeta \cdot \omega_n} \quad (11)$$

多くの場合、この式は次のように近似されます。

$$\text{LockTime}(s) = \frac{-\ln\left(\frac{\text{tol}}{f_2 - f_1} \cdot \sqrt{1-\zeta^2}\right)}{\zeta \cdot \omega_n} \quad (12)$$

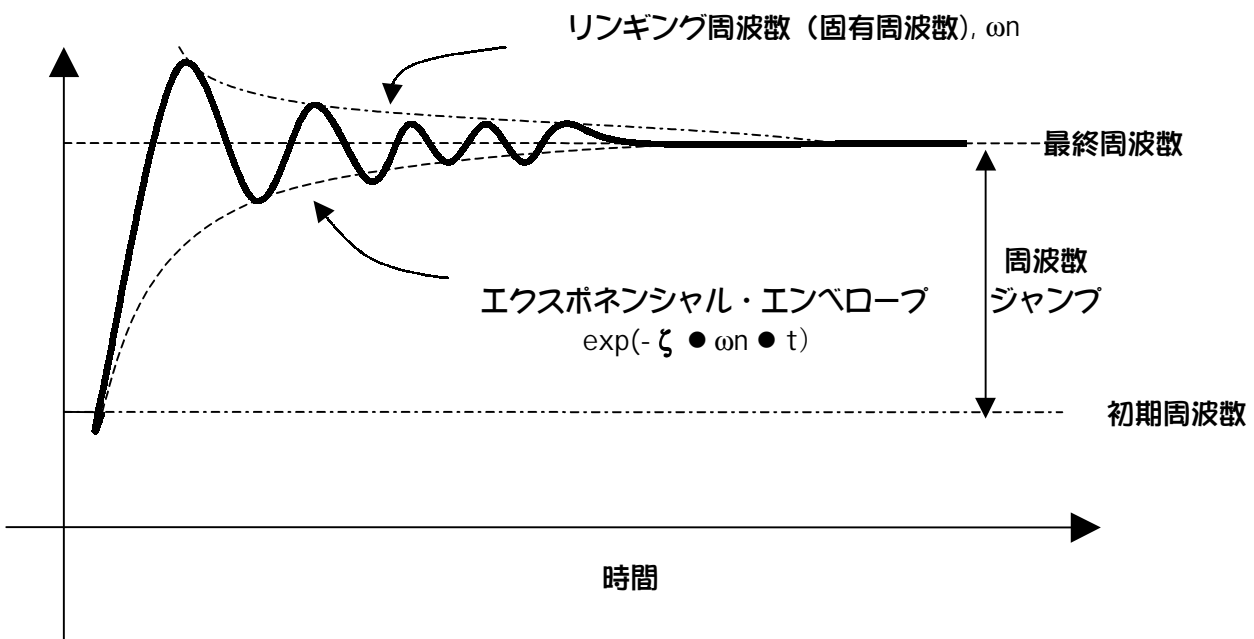


図3 PLL 過渡応答の従来モデル

図 3 は従来の 2 次の周波数応答を示します。2 次フィルタとして R3=C3=0 の場合を考えると、AN-1001 にしたがって設計したループ・フィルタには次のような関係が成り立ちます。これらの公式の証明は付録で行います。

$$\omega_c = 2 \cdot \zeta \cdot \omega_n$$

$$\sec \phi - \tan \phi = \frac{1}{4 \cdot \zeta^2} \tag{13}$$

位相余裕度、 ϕ_p	減衰率、 ζ	固有周波数、 ω_n
30.00 degrees	0.6580	0.7599● ω_p
35.00 degrees	0.6930	0.7215● ω_p
36.87 degrees	0.7071	0.7071● ω_p
40.00 degrees	0.7322	0.6829● ω_p
45.00 degrees	0.7769	0.6436● ω_p
50.00 degrees	0.8288	0.6033● ω_p
55.00 degrees	0.8904	0.5615● ω_p
60.00 degrees	0.9659	0.5177● ω_p
61.93 degrees	1.0000	0.5000● ω_p
65.00 degrees	1.0619	0.4709● ω_p
70.00 degrees	1.1907	0.4199● ω_p

表 1 位相余裕度、減衰率、固有周波数の間の関係

したがって、ループ帯域幅 ω_c と位相余裕度 ϕ とを与えると、減衰率と固有周波数とが決まり、その逆も成り立ちます。ここで ω_p は、開ループ伝達関数の大きさが 1 に等しくなる点として定義されます。

$$\left\| \frac{K\phi \cdot K_{vco} \cdot Z(s)}{N \cdot s} \right\|_{s=j\omega_c} = 1 \tag{14}$$

4 次過渡応答解析

この解析は伝達関数のすべての極とゼロ点を考慮し、最も精度のよい結果が得られます。ここでは 4 次多項式の解を見つける必要があります。式は煩雑ですが、解を求めるための具体的な式が存在します。また、Mathcad などのソフトウェアも使えて、このような問題を扱うには理想的です。本節の目的は、過渡解析をグラフ化できる式を導き、ロックアップ時間、立ち上がり時間、オーバーシュート、リングング、減衰率などの特性をグラフから読み取ることです。まず初めに、式(3)の伝達関数に $(f2-f1)/(Ns)$ を掛けます。しかし、これらの式は実際は位相応答を表し、求めるのは周波数ですので、微分するために（周波数は位相の導関数です）伝達関数全体に s を掛けます。得られた式を次のように書き換えると、

$$\overline{F(s)} = s \cdot H(s) \cdot \frac{f2 - f1}{N \cdot s} = \frac{n1 \cdot (1 + s \cdot k0)}{s^4 + d3 \cdot s^3 + d2 \cdot s^2 + d1 \cdot s + d0} \tag{15}$$

ここで

$$n1 = \frac{K\phi \cdot Kvco \cdot (f2 - f1)}{N \cdot C1 \cdot C2 \cdot C3 \cdot R2 \cdot R3} \quad (16)$$

$$d3 = \frac{k2}{k1} = \frac{C2 \cdot C3 \cdot R2 + C1 \cdot C2 \cdot R2 + C1 \cdot C3 \cdot R3 + C2 \cdot C3 \cdot R3}{R2 \cdot R3 \cdot C1 \cdot C2 \cdot C3} \quad (17)$$

$$d2 = \frac{k3}{k1} = \frac{C1 + C2 + C3}{R2 \cdot R3 \cdot C1 \cdot C2 \cdot C3} \quad (18)$$

$$d1 = \frac{K\phi \cdot Kvco}{N \cdot C1 \cdot C3 \cdot R3} \quad (19)$$

$$d0 = \frac{K\phi \cdot Kvco}{N \cdot R2 \cdot R3 \cdot C1 \cdot C2 \cdot C3} \quad (20)$$

分母のゼロ点は伝達関数の極になることに注意ください。この式は 4 次の多項式なので、数値計算で求める方がずっと容易ですが、この関数のゼロ点は解析的に求まります。この式の極の少なくとも 2 つは複素数で、2 次の近似式の 2 つの極に近い値です。伝達関数は次のように書き換えられません。

$$H(s) \cdot \frac{f2 - f1}{N \cdot s} = \sum_{i=0}^3 A_i \cdot \left[\frac{1}{s \cdot (s - p_i)} + \frac{R2 \cdot C2}{s - p_i} \right] \quad (21)$$

$$A_i = n1 \cdot \prod_{k \neq i} \frac{1}{p_i - p_k} \quad (22)$$

最後に、この式から過渡応答がわかります。係数 A_i のいくつかは複素数ですが、合計すると最終的な解は実数になります。ここで極を計算する必要があるため、極はすべて負の実部を持つと仮定します。これが成り立たない場合、不安定な回路設計になります。回路が安定であるとするこの仮定を用いると、過渡応答は簡単になります。また、シミュレータが過渡解析できない場合、次のオイラーの公式を当てはめ、解を実変数で表せます。

$$e^{\alpha + j\beta} = e^{\alpha} \cdot (\cos \beta + j \cdot \sin \beta) \quad (23)$$

安定な系を想定すると、伝達関数は、

$$F(t) = f2 + \sum_{i=0}^3 A_i \cdot e^{p_i \cdot t} \cdot \left(\frac{1}{p_i} + R2 \cdot C2 \right) \quad (24)$$

ロックアップ時間の公式に関する追加コメント

エクスポネンシャル・エンベロープの使用

式(24)で PLL のすべてのリングングを含めて完全に過渡応答解析できます。しかし、ロックアップ時間を決めるためには、方程式からリングングを取り除いて、エクスポネンシャル・エンベロープについてのみ調べた方がよいでしょう。これから、ロックアップ時間の推定がさらに実際に合致するようになります。エクスポネンシャル・エンベロープは式の中の指数の実数部をとると得られます。

$$\text{エクスポネンシャル・エンベロープ} = f2 + \sum_{i=0}^3 A_i \cdot e^{\text{Re}(p_i \cdot t)} \cdot \left(\frac{1}{p_i} + R2 \cdot C2 \right) \quad (25)$$

フィルタが最適化された場合のロックアップ時間の経験則

式(24)を使ってシミュレーションすると、最終的には次のことがわかります。フィルタを最適化して正しく設計すると、ロックアップ時間はループ帯域幅に反比例すること、および、周波数ジャンプが同じ割合で変わるとすると、周波数の誤差許容範囲が変わってもロックアップ時間は変わらないことです。シミュレーションによると、ロックアップ時間の最適値は位相余裕度が 48 度付近で得られます。式(24)はたいへん完成度の高いものですが、コンピュータの助けなしに用いるのは困難です。上述のように経験的に観測された結果を見ると、シミュレーション・データからロックアップ時間についての経験則が得られます。

$$LT \approx \frac{400}{F_c} \cdot (1 - \log_{10}(\Delta F)) \quad (26)$$

$$\Delta F = \frac{\text{周波数誤差許容範囲}}{\text{周波数ジャンプ}}$$

LT はマイクロ秒単位のロックアップ時間、Fc は kHz 単位のループ帯域幅、ΔF は上で示したような周波数の比です。

シミュレーション結果

以下に示すのは、本章に出てきた式を使って計算したシミュレーションの結果です。これらの結果と合わせて実際の測定データも示します。これらのグラフはたいへんよく一致しています。ループ・フィルタのコンデンサ C2 は CG0 のタイプです。C2 をもっと質の悪い誘電材料に替えると、ロックアップ時間は 489 μs ~ 578 μs と長くなります。この例では、チャージ・ポンプの飽和効果を抑えるため、チャージ・ポンプ動作が供給電圧の範囲内に収まるように設計してあります。測定結果が理論上の計算と異なるとき、ほとんどの場合はチャージ・ポンプの飽和効果が原因です。計算上、VCO の入力容量が C3 に加わります。

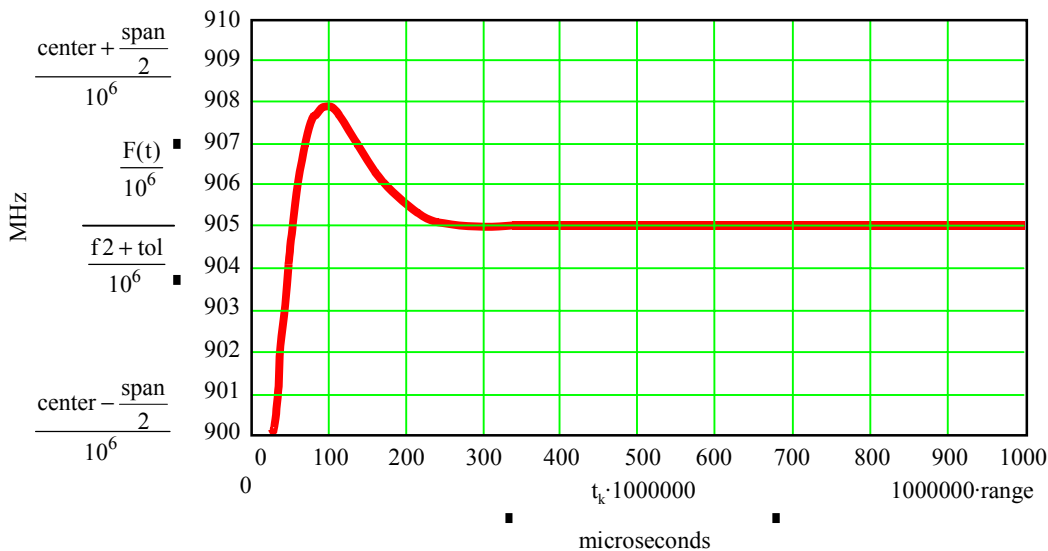


図 4a 907.9MHz に遷移するときの理論上のピーク時間 94 μs

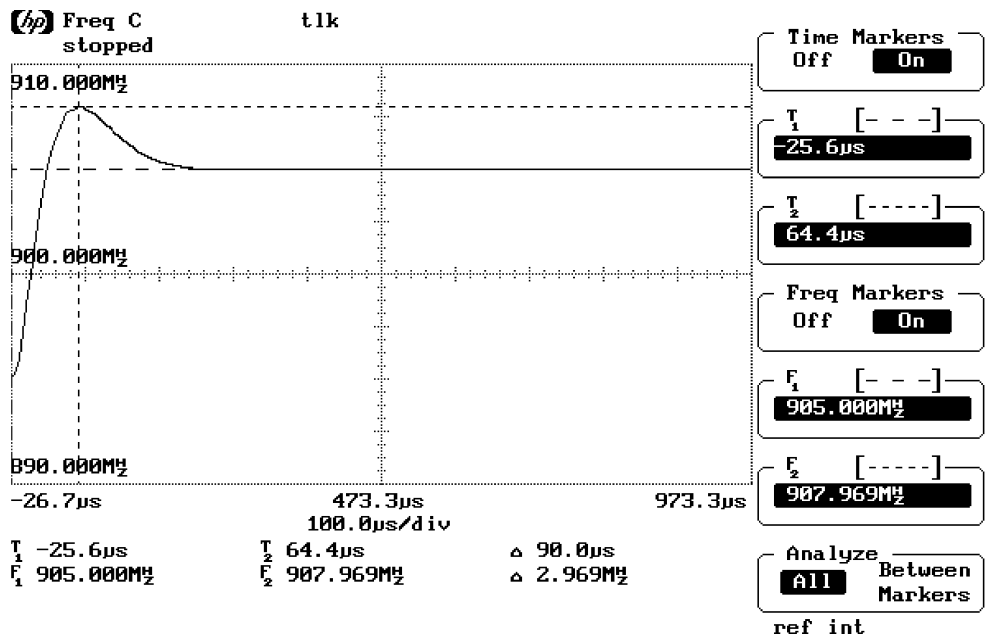


図 4b 908.0MHz に遷移するときの実ピーク時間 90 µs

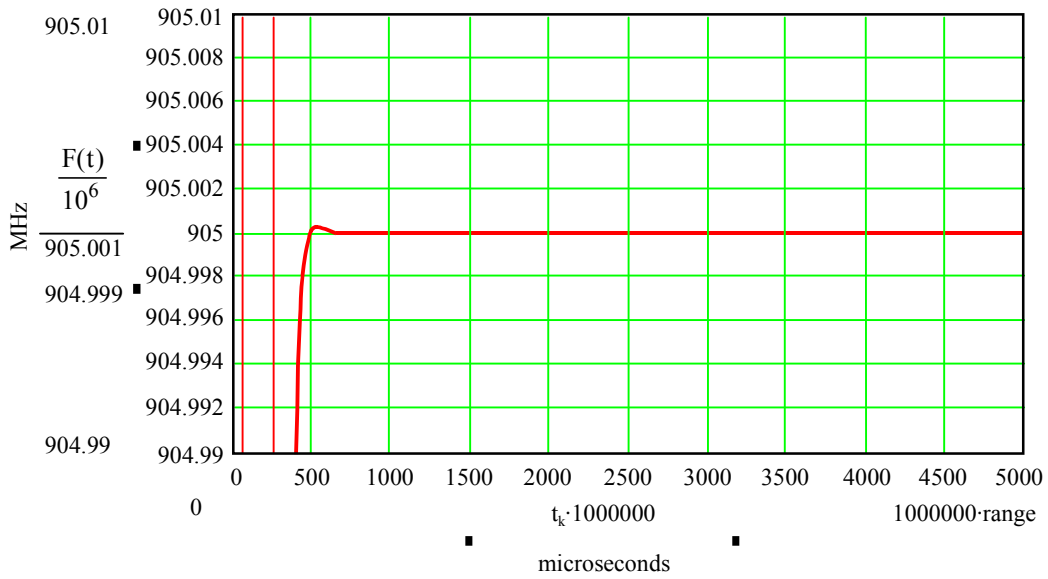


図 5a 1kHz 以内に収束するときの理論上のロックアップ時間 446 µs

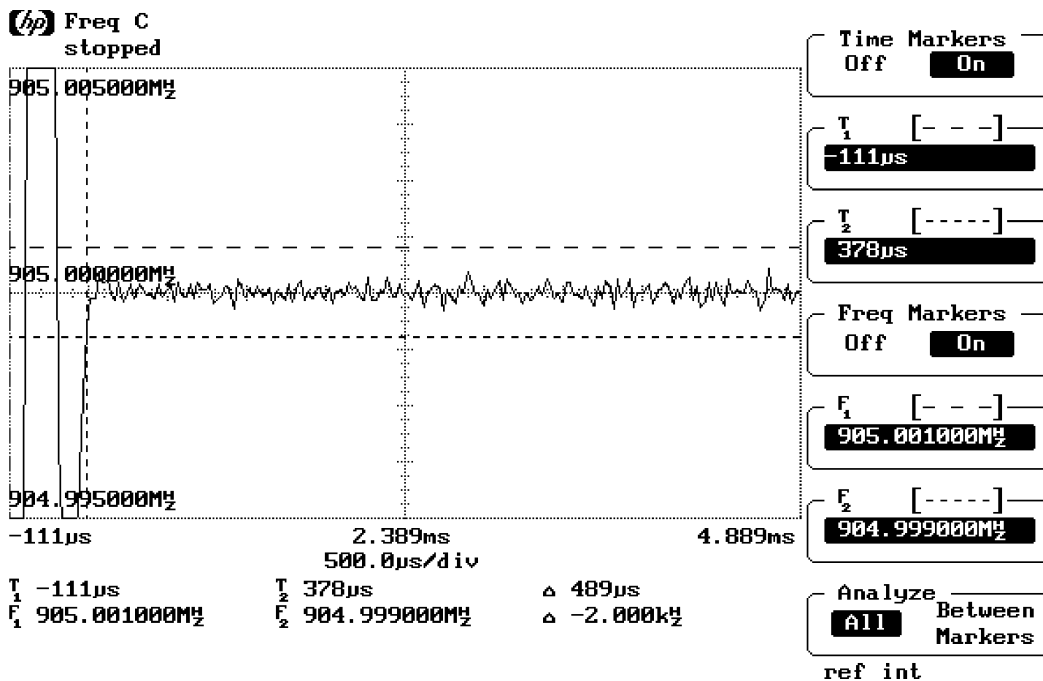


図 5b 1kHz 以内に収束するときの実際のロックアップ時間 489 μ s

結論

数値計算の精度

本章では N デバイダの N 値を変える場合の PLL ロックアップ時間と過渡応答の推定に関する式を厳密に導き、2 次および 4 次モデルを示しました。2 次モデルはロックアップ時間のおおまかな推定をするのに便利で使いやすいモデルです。4 次モデル解析では位相比較器の連続時間近似以外には数学的近似値は使われていません。一般に、4 次モデルは、ロックアップ時間の理論値と測定値との差異が 10~20%かそれ以下なのはあまり珍しいことではありません。ロックアップ時間の理論値と測定値がかなり一致するなら、PLL が最高の性能を出していることを示しています。しかし、大きな違いがあるなら、以下に上げるような 1 つまたはそれ以上の要因が考えられます。

誤差の原因

VCO とチャージ・ポンプの非線形性

この理論計算が実際と異なる最大の実際の要因は、VCO とチャージ・ポンプの非線形特性です。周波数を切り替えるとき、一般に周波数差の 1/3 程度のオーバーシュートがあります。このオーバーシュートは位相余裕度と減衰率に依存します。VCO が設計上の使用範囲からあまりにオーバーシュートしたり、調整電圧がチャージ・ポンプの電源電圧範囲に近過ぎたり（約 0.5V）すると、過渡応答の最初の突出部（ローブ）とロックアップ時間が長くなります。オーバーシュートのために周波数が VCO の調整範囲外に出る場合、モデルによる推定の精度が悪化することに注意ください。このような場合に対処するには、オーバーシュートを減らすために位相余裕度を高くするよう設計します。

VCO 入力容量を考慮に入れていない

VCO 入力容量はコンデンサ C3 に並列に入ります。VCO 入力容量を考慮しないと結果が変わることがあります。VCO 入力容量はループ帯域幅を狭め、したがってロックアップ時間を長くする傾向があります。

低品質なコンデンサ誘電材料

10nF 以上の程度の大容量を使う場合、X7R 等の低価格コンデンサは、ロックアップ時間を非常に長くします。ポリプロペリン等のより高品質なコンデンサに替えてると、この問題を解決できます。実ロックアップ時間が理論ロックアップ時間より非常に長くなる場合、コンデンサ類、特にコンデンサ C2 を、ポリプロペリンなどの高品質なコンデンサに取り替えてください。前述の例では、損失が大きい誘電体材料を使うとロックアップ時間が $489\mu\text{s}$ から $578\mu\text{s}$ に延びています。

位相比較器の離散サンプリング効果

位相比較器の離散サンプリング効果は、比較周波数がループ帯域幅と比べて 10 倍程度大きいとすると、一般にロックアップ時間にはわずかな影響しかありません。4 次モデルを、離散サンプリング効果を考慮した他のモデルと比較しても、ロックアップ時間の差はわずかです。デジタル位相比較器を用いた PLL の実際の過渡応答では、位相比較器の離散サンプリング効果に対応した小さなのこぎり波状の収束が見られるでしょう。

その他のコメント

ロックアップ時間の計算が実際と違ってくる原因として、チャージ・ポンプの電流不均衡、チャージ・ポンプ・リーク、基板の寄生インピーダンス、さらに誤差を発生する要因となるような部品のリークがあげられます。4 次ループ・フィルタについての方程式はここでは示しませんが、その過渡応答は、3 次ループ・フィルタの過渡応答を求めたのと同様に導出することができます。

付録

固有周波数 (ωn)、減衰率 (ζ)、ループ帯域幅 (ωp)、位相余裕度 (ϕp) 相互の関係を証明します。

ここでは2次フィルタを想定しますので、C3を含むすべての式について C3=0 とします。

2次フィルタとしては AN-1001 のものを用い、

$$T1 = \frac{\sec \phi p - \tan \phi p}{\omega p} \quad (27)$$

$$T2 = R2 \cdot C2 = \frac{1}{\omega p^2 \cdot T1} \quad (28)$$

式(5)、(6)、(27)、(28)から T1、T2 消去すると次式が得られます。

$$\frac{\omega n}{\zeta} = 2 \cdot \omega p \cdot (\sec \phi p - \tan \phi p) \quad (29)$$

また、AN-1001 から

$$C2 = C1 \cdot \left(\frac{T2}{T1} - 1 \right) \quad (30)$$

これは次のように書き換えることができ、

$$C1 + C2 = \frac{T2}{T1} \cdot C1 \quad (31)$$

AN-1001 によると

$$C1 = \frac{T1}{T2} \cdot \frac{K\phi \cdot Kvco}{N \cdot \omega p^2} \sqrt{\frac{1 + (\omega p \cdot T2)^2}{1 + (\omega p \cdot T1)^2}} \quad (32)$$

この式を(31)の右辺の C1 に代入して C1+C2 について得られた式を、式(6)から得られる C1+C2 と等しいとおくと、次式が得られます。

$$\frac{K\phi \cdot Kvco}{N \cdot \omega p^2} \sqrt{\frac{1 + (\omega p \cdot T2)^2}{1 + (\omega p \cdot T1)^2}} = C1 + C2 = \frac{K\phi \cdot Kvco}{N \cdot \omega n^2} \quad (33)$$

式(27)、(28)、(29)を用いて、 ζ 、 ωn 、 ωp で T1、T2 を表すと、以下の式が得られます。

$$\left(\frac{\omega p}{\omega n} \right)^4 = \frac{1 + \left(\frac{2 \cdot \zeta \cdot \omega p}{\omega n} \right)^2}{1 + \left(\frac{\omega n}{2 \cdot \zeta \cdot \omega p} \right)^2} \quad (34)$$

式(28)、(29)、(30)を用いて、 ζ 、 ωn 、 ωp で T1、T2 を表すと、以下の式が得られます。

$$\omega p = 2 \cdot \zeta \cdot \omega n \quad (35)$$

これを(29)に代入すると、もう1つの関係式が得られます。

$$\sec \phi p - \tan \phi p = \frac{1}{4 \cdot \zeta^2} \quad (36)$$

2次フィルタについてはまったく近似を行っていない点に注意ください。3次フィルタについては、これらの関係式は正確には当てはまりませんが、よい近似となります。

過渡解析

$$\begin{aligned}
 K\phi &:= 1 \cdot \text{mA} & F_{\text{comp}} &:= 200 \cdot \text{kHz} & K_{\text{vco}} &:= 18 \frac{\text{MHz}}{\text{volt}} \\
 C1 &:= 0.470 \cdot \text{nF} & C2 &:= 10 \cdot \text{nF} & C3 &:= 227 \cdot \text{pF} \\
 R2 &:= 8.2 \cdot \text{k}\Omega & R3 &:= 27 \cdot \text{k}\Omega
 \end{aligned}$$

$$\begin{aligned}
 f2 &:= 905 \cdot \text{MHz} & \text{最終周波数} \\
 f1 &:= 895 \cdot \text{MHz} & \text{最初の周波数}
 \end{aligned}$$

計算

$$N := \frac{f2}{F_{\text{comp}}}$$

$$\text{den2} := C1 + C2 + C3$$

$$\text{den4} := R2 \cdot R3 \cdot C1 \cdot C2 \cdot C3 \quad \text{den3} := C2 \cdot C3 \cdot R2 + C1 \cdot C2 \cdot R2 + C1 \cdot C3 \cdot R3 + C2 \cdot C3 \cdot R3$$

$$\text{den1} := \frac{K\phi \cdot K_{\text{vco}} \cdot C2 \cdot R2}{N}$$

$$\text{num0} := \frac{K\phi \cdot K_{\text{vco}} \cdot (f2 - f1)}{N}$$

$$\text{den0} := \frac{K\phi \cdot K_{\text{vco}}}{N}$$

$$\text{num1} := \text{num0} \cdot R2 \cdot C2$$

$$v := \begin{bmatrix} \frac{\text{den0}}{\text{den4}} \cdot \text{sec}^4 \\ \frac{\text{den1}}{\text{den4}} \cdot \text{sec}^3 \\ \frac{\text{den2}}{\text{den4}} \cdot \text{sec}^2 \\ \frac{\text{den3}}{\text{den4}} \cdot \text{sec} \\ 1 \end{bmatrix}$$

$$v = \begin{bmatrix} 1.684 \cdot 10^{19} \\ 1.381 \cdot 10^{15} \\ 4.529 \cdot 10^{10} \\ 5.136 \cdot 10^5 \\ 1 \end{bmatrix}$$

$$p := \text{polyroots}(v) \cdot \text{sec}^{-1}$$

これらは極です。

$$p = \begin{bmatrix} -4.115 \cdot 10^5 \\ -5.835 \cdot 10^4 \\ -2.189 \cdot 10^4 - 1.49 \cdot 10^4 i \\ -2.189 \cdot 10^4 + 1.49 \cdot 10^4 i \end{bmatrix} \cdot \text{sec}^{-1}$$

$$A_0 := \frac{\frac{\text{num0}}{\text{den4}}}{(p_0 - p_1) \cdot (p_0 - p_2) \cdot (p_0 - p_3)}$$

$$A_0 = -3.137 \cdot 10^9 \cdot \text{sec}^{-2}$$

$$A_1 := \frac{\frac{\text{num0}}{\text{den4}}}{(p_1 - p_0) \cdot (p_1 - p_2) \cdot (p_1 - p_3)}$$

$$A_1 = 3.074 \cdot 10^{11} \cdot \text{sec}^{-2}$$

$$A_2 := \frac{\frac{\text{num0}}{\text{den4}}}{(p_2 - p_0) \cdot (p_2 - p_1) \cdot (p_2 - p_3)}$$

$$A_2 = -1.521 \cdot 10^{11} + 3.351 \cdot 10^{11} i \cdot \text{sec}^{-2}$$

$$A_3 := \frac{\frac{\text{num0}}{\text{den4}}}{(p_3 - p_0) \cdot (p_3 - p_1) \cdot (p_3 - p_2)}$$

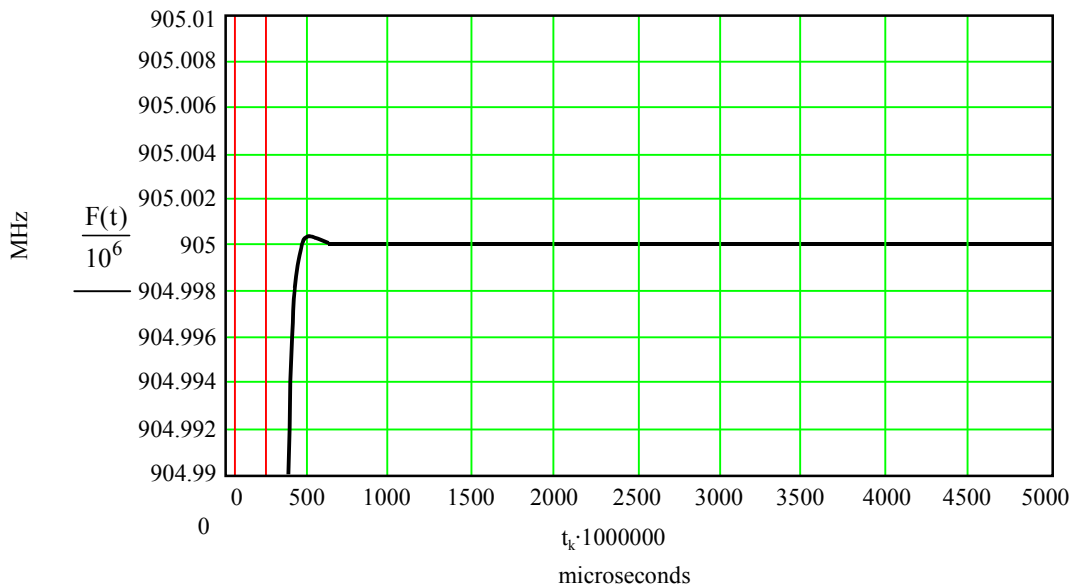
$$A_3 = -1.521 \cdot 10^{11} - 3.351 \cdot 10^{11} i \cdot \text{sec}^{-2}$$

4つの極の解析

$$k := 0..5000 \quad t_k := \frac{k}{1000000} \cdot \text{sec}$$

$$i := 0..3$$

$$F(t) := f2 + \sum_i A_i \cdot e^{p_i \cdot t_k} \left(\frac{1}{p_i} + R2 \cdot C2 \right)$$



6. 理論好きの方のための位相周波数比較器に関する考察

はじめに

PLL システムで理解するのが最も難しい構成要素は、おそらく位相周波数比較器です。位相周波数比較器は位相誤差に比例した信号を出力します。位相は周波数の積分なので、位相周波数比較器は同様にある程度周波数誤差の指標となります。多くの古典的文献ではミキサや XOR ゲートのようなデバイスが位相比較器として説明されていますが、ミキサや XOR ゲートは限定された範囲で動作するだけです。このことが最近の位相周波数比較器 (PFD) に関して多くの混乱の原因となっています。位相周波数比較器は動作範囲に制限はありません。

図 1 を注意して見ると、明らかに出力は周波数ではなく位相としてモデル化されています。VCO のゲインは s で割られており、積分に相当します。位相は周波数の積分ですから、このようになることを思い出してください。周波数出力を得るには、伝達関数に係数 s を掛けるだけで、これは微分に相当します。位相周波数比較器は、位相と周波数が関連しているので、入力位相だけでなく入力周波数が等しくなるように働きます。

位相はやや難解ですので、多くの方は PFD が周波数の異なる 2 つの信号についてどう働くかに関心を向けます。この問題は、所定の周波数誤差について位相比較器の平均デューティ・サイクルを得るような同期検出回路の構成に関する問題でもあります。本章が理論好きの方を対象としているのは、周波数の点で位相同期ループを考えれば、ほとんどの解析で十分で、位相に関する多くの疑問は非常に学問的なものであるためです。本章ではチャージ・ポンプが付いた理想的位相周波数比較器についてのそのような問題について調べます。

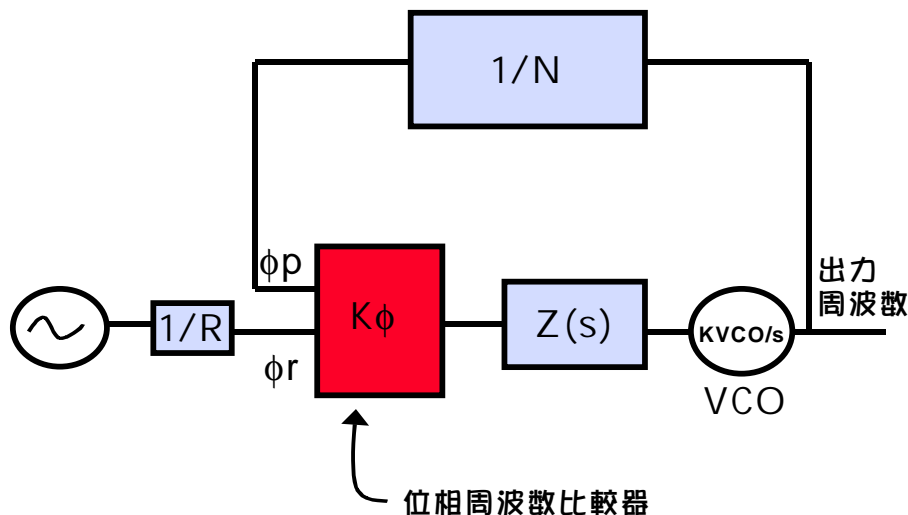


図 1 位相周波数比較器のある基本 PLL 構成

位相周波数比較器の解析

VCO の出力は、位相周波数比較器 (PFD) に入力される前に N 分周されます。この信号の位相を ϕ_p 、周波数を F_p とします。水晶基準発振器の出力は PFD への入力前に R 分周されます。この信号の位相を ϕ_r 、周波数を F_r とします。PFD は ϕ_r と ϕ_p の立ち上がりエッジに対してのみ応答します。3 ステート PFD は次の 3 状態をとります。

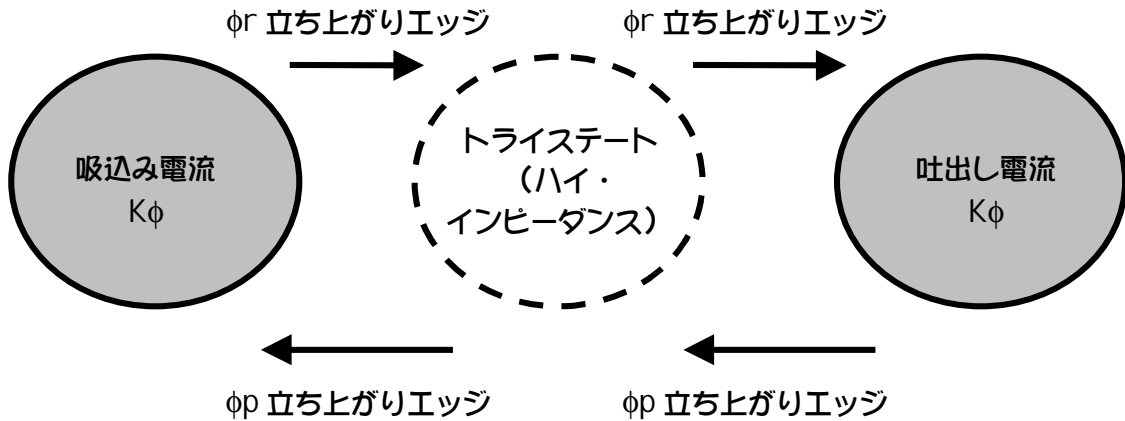


図 2 位相周波数比較器 (PFD) の各状態

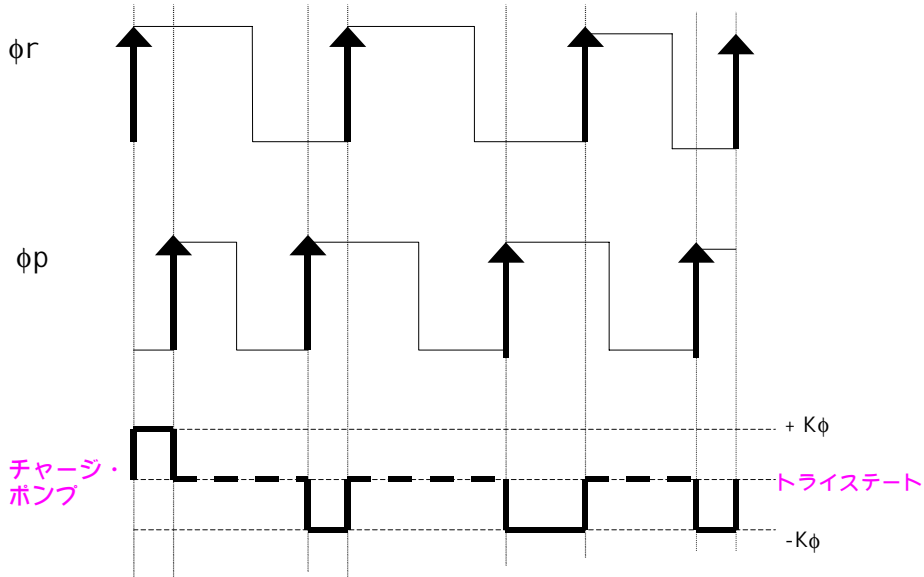


図 3 PFD の動作例

位相誤差がある場合の PFD の解析

ϕ_p と ϕ_r はまったく同じ周波数で、 ϕ_r の立ち上がりエッジは、 ϕ_p の立ち上がりエッジより一定の時間間隔 τ で位相が進んでいると仮定すると、いくつかの場合が考えられます。

$$\tau = 0$$

この場合、位相誤差はなく、信号は周波数、時間とも同期しています。したがって、理論的には位相比較器の出力はゼロです。実際には不感帯除去回路と各要素回路のゲート遅延とのため位相比較器からは非常にわずかな出力が出てきます。これは通常極性を交互に反転する一連の正負のパルスになります。

$$\tau > 0$$

チャージ・ポンプは $1/Fr$ の参照区間毎に時間 τ だけオンになります。ゆえにチャージ・ポンプの平均出力は、

$$\tau \cdot Fr \cdot K\phi \tag{1}$$

になります。

しかし、この遅延時間は、位相遅延に 2π をかけると得られます。したがって PFD の時間平均出力は位相誤差に比例するのがわかります。同じ周波数の 2 信号の位相差は常に 0 と 2π の間の値で表される点に注意ください。ゆえに時間差 τ はこの場合常に $1/Fp$ より小さくなります。

位相比較器ゲイン

位相比較器ゲインを計算するため、位相比較器が、位相誤差が $+2\pi$ のとき電流 $K\phi$ を吐出し、位相誤差が -2π のとき電流 $K\phi$ を吸込み、この範囲内では線形に応答することに注目します。つまり、適切な位相比較器ゲインは $K\phi/2\pi$ (mA/rad) です。設計方程式では、係数 2π は多くの場合無視されます。なぜなら、VCO ゲインを MHz/volt から Mrad/volt の単位に変換するため使われるもう 1 つ別の 2π がかけ合わされるからです。

2 つの信号の周波数と位相が異なる場合の PFD の解析

2 つの信号の位相が異なる場合について位相比較器を解析しましたが、2 つの信号の周波数が異なる場合については解析していません。ほとんどの場合この種の解析で十分です。しかし、2 つの信号の周波数が異なる場合の位相比較器の動作に興味があるユーザがおられるかも知れません。このような興味は、特に同期検出回路の構成に関するものと思われます。この解析のために、以下のように用語を定義します。

Fr 水晶発振器から出力されたのち R 分周される信号の周波数

ϕ_p 任意の所定時間での Fr 信号の位相

α Fr 信号の初期位相

Fp VCO から出力されたのち N 分周される信号の周波数

ϕ_p 任意の所定時間の fp 信号の位相

β fp 信号の初期位相

t 経過時間

周波数は位相の変化率ですので、次のように表せます。

$$\phi_r = \alpha + Fr \cdot t \tag{2}$$

$$\phi_p = \beta + Fp \cdot t \tag{3}$$

このように見ると、位相差ははっきりしていますので、ある所定時間 t での位相比較器の出力は、

$$K\phi \cdot (\alpha - \beta + (Fr - Fp) \cdot t) \tag{4}$$

ここで $Fr > Fp$ または $Fr < Fp$ に応じて T を選ぶとします。 $Fr > Fp$ と仮定しますが、それと逆でも、同様に考えることができます。時間 P の間の平均電流出力を考えると、以下のようになります。

$$\begin{cases} \frac{K\phi}{P} \cdot \left(\alpha - \beta + (Fr - Fp) \cdot \frac{P}{Fr} \right) & Fr > Fp \\ \frac{K\phi}{P} \cdot \left(\alpha - \beta + (Fp - Fr) \cdot \frac{P}{Fp} \right) & Fr < Fp \end{cases} \quad (5)$$

P が無限に発散するときの限界値をとると、位相比較器の平均出力は、

$$\begin{cases} K\phi \cdot \left(1 - \frac{Fp}{Fr} \right) & Fr > Fp \\ -K\phi \cdot \left(1 - \frac{Fr}{Fp} \right) & Fr < Fp \end{cases} \quad (6)$$

(6)の結果は、Fr が Fp の整数倍のときは、コンピュータ・シミュレーションで確認されますが、周波数誤差がもっと小さい場合については、チャージ・ポンプ出力が Fr 対 Fp の比の関数であり、周波数誤差が小さい場合に限り、周波数誤差に比例して線形に増加するのが確認されます。実際には、PLL は位相誤差に追従するため、これらのシミュレーションが現実にはそぐわなくなることがあります。上の式は、所定の周波数誤差での位相比較器のデューティ・サイクルに対し概算値を与えます。しかし、閉ループ系では、PLL は位相誤差に追従し、そのため推定値が理論的に予測される値と少し異なる場合があります。ループの周波数応答をより正確に推定するため、周波数応答を積分して位相応答を計算することができます。

その他 PFD について

ループの安定性と過渡応答に対するサンプリングの効果

本書の多くの章で連続時間近似に言及しています。この近似法は、チャージ・ポンプの離散的なパルス電流出力を連続的な電流出力として近似します。ループ帯域幅が比較周波数と比較して小さい場合、この近似はうまく当てはまります。それ以外の場合は、理論上の推定値と実際の結果が合わなくなり不安定になります。ループ帯域幅を比較周波数の 1/10 に選べば問題ありませんが、ループ帯域幅が比較周波数の 1/3 程度に近づくと、系が不安定になり PLL の同期が外れるのがシミュレーション結果からわかります。一般には、これらの効果はあまり考慮する必要はありません。

位相ノイズに対するサンプリングの効果

ループ・パラメータと安定性の点で、サンプリング効果は通常あまり問題になりませんが、位相ノイズの点では非常に関係があります。位相比較器とチャージ・ポンプは PLL の主要ノイズ源になる場合が多く、比較周波数が高くなると PFD ノイズが大きくなるのは、離散サンプリング効果のためです。比較周波数が高くなると PFD の補正動作がふえ、さらにノイズを発生します。このノイズは補正動作の数に比例します。PFD ノイズが $10 \times \log(\text{比較周波数})$ に比例して増加するのはこのためです。

不感帯除去回路と各回路要素の時間遅延

位相比較器の不感帯はゼロ位相誤差近傍で発生します。ここで起きる問題は、位相誤差が非常に小さいとき PFD がまったく応答しなくなることです。また、各回路要素には時間遅延があります。

不感帯除去回路は、不感帯で動作するのを防ぐため、ある時間たつと常に位相比較器が動くようにします。

結論

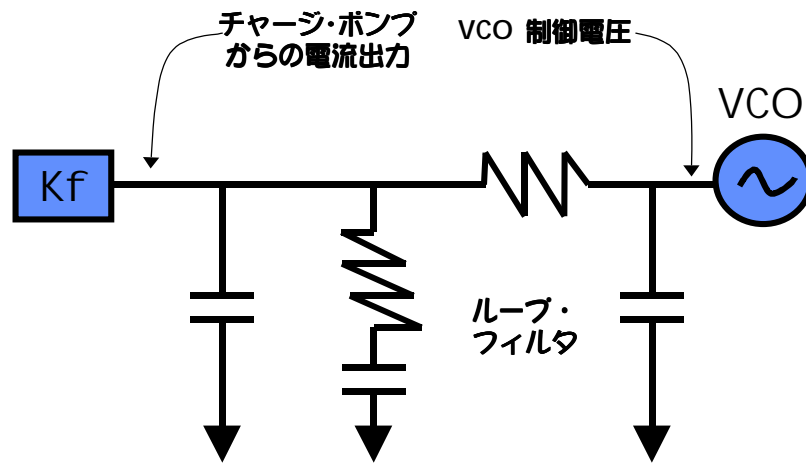
本章では PFD（位相周波数比較器）を説明し、周波数誤差と位相誤差の両方に対する動作を特性づけました。位相誤差については、出力は位相誤差に比例し、周波数誤差については、出力が周波数誤差と明らかに相関があることがわかりました。

PFD は、位相差と周波数差の両方を検出できるので、そのように名付けられています。また、ミキサや XOR 位相比較器を使うことにもなうプル・イン・レンジ、ホールド・レンジ、定常位相誤差等の多くの制約を回避できます。

参考文献

- [1] Best, Roland E., *Phased Loop Theory, Design, Applications*, 3rd. ed, McGraw-Hill 1995
- [3] Gardner, F.M. *Phased-Locked Loop Techniques*, 2nd ed., John Wiley & Sons, 1980
- [4] Gardner, F.M., *Charge-Pump Phase-Lock Loops*, IEEE Trans. Commun. vol. COM-28, pp. 1849 – 1858, Nov 1980

PLL 設計



7. PLL ループ・フィルタ設計の基礎

はじめに

本章ではループ・フィルタ設計に関する多くの技術的問題について検討します。ループ・フィルタ設計には、ループ・フィルタ・トポロジの適切な選択、ループ・フィルタの次数、位相余裕度、ループ帯域幅、極周波数の比などがかかわってきます。これらを決定すれば、フィルタの極とゼロ点が決まり、これからループ・フィルタの回路定数が求められます。本章では、これら諸条件を規定してから、ループ・フィルタを理解するのに必要な基本パラメータが設計できることを説明します。

ループ・フィルタのトポロジと次数の選択

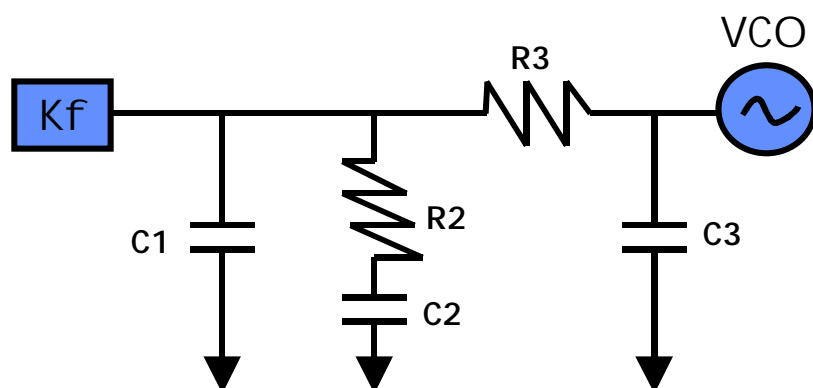


図1 3次パッシブ・ループ・フィルタ

上図に3次パッシブ・ループ・フィルタを示します。通常はアクティブ・ループ・フィルタよりもパッシブ・ループ・フィルタを推奨します。アクティブ・デバイスを使用すると位相ノイズ、複雑度、コストが増すからです。しかし、アクティブ・フィルタが必要な場合もあります。最もよくあるのは、PLLのチャージ・ポンプ電圧がVCOの制御に必要な電圧より低い場合です。VCOにチャージ・ポンプより高い電圧を入力すると、制御範囲の拡大、位相ノイズの低減が行えます。

フィルタの次数を考えると、最も基本となるのは2次フィルタです。リファレンス・スプリアスを抑えるためRC低周波フィルタを後段に付け加えることができます。これら低周波フィルタを追加する際の効果は別の章で説明します。図1において、R3およびC3によって低周波フィルタが追加されています。

位相余裕度、ループ帯域幅、極周波数比

位相余裕度(ϕ)はシステムの安定性と関係があります。このパラメータは40度から55度の間の値をとるのが一般的です。シミュレーションによると位相余裕度が約47度のとき最適なロックアップ時間が得られます。位相余裕度をさらに大きくするとロックアップ時間が長くなりますが、ループ・フィルタのピーキング応答を少し抑えることができます。RMS位相誤差を最小限にするような設計をするには、位相余裕度を50度として設計を始めるとよいでしょう。

ループ帯域幅(ω_c)はループ・フィルタで最も重要なパラメータです。ループ帯域幅をあまり小さくするとリファレンス・スプリアスとRMS位相誤差は非常に小さくなりますが、ロックアップ時間が長くなります。ループ帯域幅を大きくし過ぎると、リファレンス・スプリアスとRMS位相誤差が悪化します。ループ帯域幅を決めるには、十分余裕を取ってロックアップ時間の条件を満たすよう

にするとよいでしょう。ロックアップ時間に条件がない場合、RMS 位相誤差が最適になるように設計するには、ループ周波数として、PLL ノイズが VCO ノイズに等しくなる周波数にするのが適当です。リファレンス・スプリアスを最小にするように設計するには、ループ帯域幅を狭くするほどスプリアスが下がります。ただし、ある点からループ・フィルタの回路定数が大きくなり過ぎるでしょう。

極周波数比(T31、T41、…)はループ帯域幅ほど設計に対して影響を与えませんが、重要さは変わりません。これらは極 T1 に対する各々の極の周波数比で、たとえば、

$$T1 = T11 \cdot T1 \quad (T11 \text{ は当然ですが } 1 \text{ になります})$$

$$T3 = T31 \cdot T1$$

$$T4 = T41 \cdot T1$$

後の章で示すように、すべての極周波数比を 1 にするとリファレンス・スプリアスは理論的には最小になりますが、VCO に並列に入るループ・フィルタの容量が VCO の入力容量(一般に 10pF~100pF)の最低限度の 3 倍もないときは、極周波数比を 1 より小さくした方が適当です。極周波数比のリファレンス・スプリアスに対する影響は、別章で詳細に説明します。

ループ・フィルタ・インピーダンスと開ループ・ゲイン

ループ・フィルタ・インピーダンスは、VCO の出力電圧を、PLL のチャージ・ポンプから注入される電流で割ったものとして定義されます。以下に、各次数に対するループ・フィルタ・インピーダンスとそれに対応した極およびゼロ点を示します。

$$Z(s) = \frac{1 + s \cdot T2}{C_{tot} \cdot s \cdot (1 + s \cdot T1) \cdot (1 + s \cdot T3) \cdot (1 + s \cdot T4)} \quad (1)$$

パラメータ	2 次フィルタ	3 次フィルタ	4 次フィルタ
T1	$\frac{R2 \cdot C2 \cdot C1}{C_{tot}}$	$\frac{R2 \cdot C2 \cdot C1}{C_{tot}}^*$	$\frac{R2 \cdot C2 \cdot C1}{C_{tot}}^*$
T2	R2●C2	R2●C2	R2●C2
T3	0	R3●C3*	R3●C3*
T4	0	0	R4●C4*
Ctot	C1 + C2	C1 + C2 + C3	C1 + C2 + C3 + C4

*これはこの式が近似式であって値そのものではないことを示している

図 1 各フィルタ次数に対するインピーダンス・パラメータ

インピーダンス(Z(s))、チャージ・ポンプ・ゲイン(Kφ)、VCO ゲイン(Kvco)がわかれば、開ループ・ゲイン(G(s))は以下のようになります。

$$G(s) = \frac{K\phi \cdot Kvco}{s} \cdot Z(s) \quad (2)$$

時定数の決定

極とゼロ点を決めるのこの方法は、参考文献[1]によります。位相余裕度は 180 度に順方向ループ・ゲインの位相を加えた値とします。ここで、順方向ループ・ゲインは開ループ・ゲインを N デバイダの値で割ったものとします。したがって、次式が成り立ちます。

$$\phi = 180 + \arctan(\omega \cdot T2) - \arctan(\omega \cdot T1) - \arctan(\omega \cdot T1 \cdot 31) - \arctan(\omega \cdot T1 \cdot T41) \quad (3)$$

ϕ と極周波数比がわかっていますので、これは T1 と T2 を含む式に簡略化することができます。T1、T2 を含む次の式は、ループ帯域幅に等しい周波数で位相余裕度の導関数がゼロとおいて得られます。このようにすると、ループ帯域幅に等しい周波数で位相余裕度が最大になります。この条件を満たすようにすると PLL のロックアップ時間が最小になることが、シミュレーションから分かります。

$$\left. \frac{d\phi}{d\omega} \right|_{\omega=\omega_c} = 0 = \frac{\omega_c \cdot T2}{1 + \omega_c^2 \cdot T2^2} - \frac{\omega_c \cdot T1}{1 + \omega_c^2 \cdot T1^2} - \frac{\omega_c \cdot T1 \cdot T31}{1 + \omega_c^2 \cdot T1^2 \cdot T31^2} - \frac{\omega_c \cdot T1 \cdot T41}{1 + \omega_c^2 \cdot T1^2 \cdot T41^2} \quad (4)$$

式(3)、(4)は未知数 2 個(T1 および T2)の 2 つの連立方程式を表します。これらの方程式の解き方は次章で説明します。この連立方程式は数値計算で常に求まり、2 次フィルタの場合(T3=T4=0)は簡潔で完結した解が得られます。

時定数からの回路定数の計算

ループ・フィルタ総容量の計算

この求め方は別の章で詳細に説明していますが、フィルタ次数にかかわらず共通の考え方として、総容量があります。これは単にループ・フィルタのすべての容量値を合計した値です。スパイク電流の差分を考えると、次のようなことが直感的にわかります。長時間経つとすべてのコンデンサを通じた電圧は同じになるはずで、4 つすべての容量値が合計されたのと同様の電圧になります。最終値定理より、s がゼロに近づくときの $s \cdot Z(s)$ の極限值をとると、このような結果が得られます。

Ctot は、ループ帯域幅で順方向ループ・ゲイン(G(s)を N で割ったもの)が 1 として得られます。

$$C_{tot} = \frac{K\phi \cdot K_{vco}}{N \cdot \omega_c^2} \cdot \sqrt{\frac{(1 + \omega_c^2 \cdot T2^2)}{(1 + \omega_c^2 \cdot T1^2) \cdot (1 + \omega_c^2 \cdot T3^2) \cdot (1 + \omega_c^2 \cdot T4^2)}}$$

VCO 入力容量との関係

VCO には一般的に 10~100pF のオーダーの入力容量があり、ループ・フィルタ容量に対し付加されます。これは、3 次以上のループ・フィルタの設計でしばしば問題になります。なぜなら、ループ・フィルタ特性を悪化させないために、VCO の入力に並列に入るコンデンサは、VCO の入力容量の少なくとも 3 倍の容量にした方がよいからです。この容量を最大にするためには、チャージ・ポンプの電流設定が最大になるように設計します。

抵抗の熱雑音との関係

ループ・フィルタの抵抗、特に低周波 RC フィルタの抵抗(R3、R4 など)は熱雑音を発生し、ループ帯域外で位相ノイズを悪化させることがあります。10k Ω は設計仕様値ですが、この程度の値より抵抗が大きくなると、考慮すべき要因になってきます。チャージ・ポンプ電流を最大にするように設計すると、ループ・フィルタ抵抗と熱雑音が最小になります。

結論

回路定数を解析的に求める方程式を次の章以降で示しますが、その方程式はすべて、本章で示した基本概念と公式から得られます。2次フィルタは $T3=T4=0$ となる特別な場合です。3次フィルタは、 $T3>0$ かつ $T4=0$ となる特別な場合です。これらの公式は4次以上のフィルタについても容易に求まりますが、実用的なものというよりは学問的な計算問題になります。教科書の中には、 $C1=0$ である点を除くと、本章で説明したのと同様のフィルタ・トポロジを示しているものもあります。教科書のこのトポロジは安定なループ・フィルタ設計ですが、リファレンス・スプリアスの減衰度があまりよくないので、推奨できません。

参考文献

[1] Keese, William O. *An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump Phased Locked Loops*

8. 2次パッシブ・ループ・フィルタの方程式

はじめに

2次フィルタは最も簡単なループ・フィルタで、回路定数を完結した式で陽関数として求めることができます。簡単である点のほかに、2次ループ・フィルタは、ループ帯域外で熱雑音が小さくなる傾向があります。RCフィルタ段を付加すると、その抵抗から熱雑音がよけいに加わるからです。フィルタにかけられる最初のスプリアスがループ帯域周波数の10倍未満の場合は、3次を超えるフィルタ次数では、あまり意味がないこととなります。2次フィルタの場合は、 $T3 = T4 = T31 = T41 = 0$ となります。

ループ・フィルタ・インピーダンス、極、ゼロ点

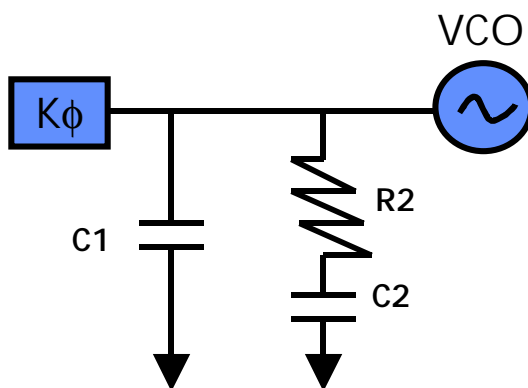


図1 2次パッシブ・ループ・フィルタ

2次ループ・フィルタのインピーダンスは以下のように与えられます。

$$Z(s) = \frac{1 + s \cdot C2 \cdot R2}{s \cdot (C1 + C2) \cdot \left(1 + s \cdot \frac{C1 \cdot C2 \cdot R2}{C1 + C2}\right)} = \frac{1 + s \cdot T2}{s \cdot Ctot \cdot (1 + s \cdot T1)} \quad (1)$$

上の式から、明らかに、

$$T2 = R2 \cdot C2$$

$$T1 = \frac{R2 \cdot C2 \cdot C1}{Ctot} \quad (2)$$

$$Ctot = C1 + C2$$

第7章から、位相余裕度を計算し、ループ帯域幅で位相余裕度の導関数を0とおくと、式2つと未知数2つの連立方程式が立てられます。

$$\phi = 180 + \arctan(\omega \cdot T2) - \arctan(\omega \cdot T1) \quad (3)$$

$$\left. \frac{d\phi}{d\omega} \right|_{\omega=\omega_c} = 0 = \frac{\omega \cdot T2}{1 + \omega^2 \cdot T2^2} - \frac{\omega \cdot T1}{1 + \omega^2 \cdot T1^2} \quad (4)$$

式(4)を解くと

$$\omega c \cdot T2 = \frac{1}{\omega c \cdot T1} \quad (5)$$

(6)を(4)に代入して両辺の正接関数を取り、解を求めると次のようになります。

$$T1 = \frac{\sec(\phi) - \tan(\phi)}{\omega c} \quad (6)$$

時定数 T2 は式(5)を使うと簡単に得られます。ループ・フィルタの総容量 Ctot は第 7 章で示した方法で得られ、C1 は次のように求められます。

$$Ctot = \frac{C1 \cdot T2}{T1} = \frac{K\phi \cdot Kvco}{N \cdot \omega c^2} \cdot \sqrt{\frac{(1 + \omega c^2 \cdot T2^2)}{(1 + \omega c^2 \cdot T1^2)}}$$

総容量がわかれば、回路定数は簡単に解が求まり、次のようになります。

$$\Rightarrow C1 = Ctot \cdot \frac{T1}{T2}$$

$$\Rightarrow C2 = Ctot - C1$$

$$\Rightarrow R2 = \frac{T2}{C2}$$

結論

本章では 2 次パッシブ・ループ・フィルタの公式を説明しました。これらの式は前章で説明した式の特別な場合にすぎません。2 次フィルタは回路定数を簡潔に求める方法ですが、フィルタの次数を高くするほどリファレンス・スプリアスは低くなります。本章では特定のトポロジのループ・フィルタを前提にしました。実際には 2 次フィルタには別のトポロジもあり、ときにアクティブ・フィルタで使われることがあります。トポロジが異なると回路定数が変わってくるがありますが、時定数の公式は同じままです。

参考文献

- [1] Keese, William O. *An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump Phased Locked Loops*

2次ループ・フィルタ設計

下記の値を入力します。

$\phi := 50 \cdot \text{deg}$	位相余裕度。デフォルトは 50 度。
$F_c := 10 \cdot \text{kHz}$	真のループ帯域幅を kHz 単位で入力。Fp は入力しません。
$F_{\text{comp}} := 200 \cdot \text{kHz}$	比較周波数
$K_{\text{vco}} := 20 \cdot \frac{\text{MHz}}{\text{volt}}$	ここで VCO の制御係数を入力。
$K\phi := 5 \cdot \text{mA}$	位相比較器ゲインを入力。2π で割らないようにします。
$F_{\text{out}} := 2450 \cdot \text{MHz}$	高周波出力周波数。√ (Fmax+Fmin) に等しい値を選択。

基本計算

$$N := \frac{F_{\text{out}}}{F_{\text{comp}}} \qquad \omega_c := 2 \cdot \pi \cdot F_c$$

極とゼロ点の計算

$$T_1 := \frac{\left(\frac{1}{\cos(\phi)} \right) - \tan(\phi)}{\omega_c} \qquad T_2 := \frac{1}{\omega_c^2 \cdot T_1}$$

$$T_1 = 5.793 \cdot 10^{-6} \cdot \text{sec}$$

$$T_2 = 4.373 \cdot 10^{-5} \cdot \text{sec}$$

極とゼロ点から回路定数を計算

$$C_{\text{tot}} := \frac{K\phi \cdot K_{\text{vco}}}{\omega_c^2 \cdot N} \cdot \left[\frac{1 + \omega_c^2 \cdot T_2^2}{(1 + \omega_c^2 \cdot T_1^2)} \right]^{\frac{1}{2}} \qquad C_{\text{tot}} = 5.681 \cdot \text{nF}$$

$$C_1 := \frac{T_1}{T_2} \cdot C_{\text{tot}} \qquad C_1 = 0.753 \cdot \text{nF}$$

$$C_2 := C_{\text{tot}} - C_1 \qquad C_2 = 4.929 \cdot \text{nF}$$

$$R_2 := \frac{T_2}{C_2} \qquad R_2 = 8.872 \cdot \text{k}\Omega$$

9. 3次パッシブ・ループ・フィルタの方程式

はじめに

フィルタリングすべきスプリアスがループ帯域幅の 10 倍以上の場合、3 次フィルタを使うと恩恵があります。2 次ループ・フィルタと違って、閉じた状態で回路定数を正確に求める方法はありません。ループ・フィルタの設計には時定数の解を求め、時定数からループ・フィルタの回路定数を決めることも絡んできます。時定数を求めるためには、近似を導入して完結した形の近似的な解を求めるか、またはより精度よく時定数を求めるため数値計算法を用いることができます。時定数が求めれば、回路定数の値もまた、近似法で近似値を、あるいは数値計算法を用いて正確に、求めることができます。

時定数と回路定数を求めるのに、近似値を導入する方法を標準的設計法と呼び、数値計算で正確に(少なくとも非常に高精度な許容範囲で)求める方法を直接設計法と呼びます。

ループ帯域幅 ω_c 、位相余裕度 ϕ を選ぶのに加えて、極周波数比 $T31$ も選ばなければなりません。このパラメータは 0 から 1 の間の値をとることができます。手始めにこのパラメータを 0.8 として設計を始めてみるとよいでしょう。

ループ・フィルタ・インピーダンスと時定数の計算

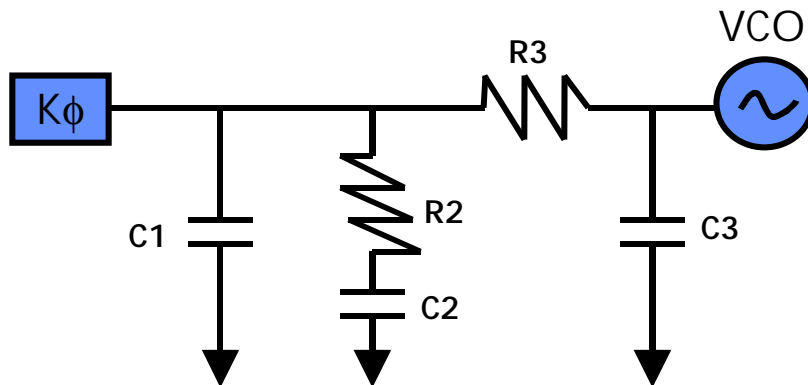


図1 3次パッシブ・ループ・フィルタ

図1に示すループ・フィルタのインピーダンスは次のように与えられます。

$$Z(s) = \frac{1 + s \cdot C2 \cdot R2}{s \cdot (s^2 \cdot C1 \cdot C2 \cdot C3 \cdot R2 \cdot R3 + s \cdot [C2 \cdot R2 \cdot (C1 + C3) + C3 \cdot R3 \cdot (C1 + C2)] + C1 + C2 + C3)}$$

$$= \frac{1 + s \cdot T2}{s \cdot C_{tot} \cdot (1 + s \cdot T1) \cdot (1 + s \cdot T3)} \quad (1)$$

次のパラメータは下記のように確定します。

$$T2 = R2 \cdot C2$$

$$C_{tot} = C1 + C2 + C3 \quad (2)$$

時定数は 2 つの式と 2 つの未知数の連立方程式を立てて正確に求めることができますが、次のような近似式を導入します。

$$T1 = \frac{R2 \cdot C2 \cdot C1}{C1 + C2 + C3} \quad (3)$$

$$T3 = R3 \cdot C3$$

これらの近似は、

$$\frac{C1}{C3} \gg 1 - \frac{T3}{T2} \quad (4)$$

の場合に成り立ちます。

安定な系になるには $T1 + T3 < T2$ であることが必要なことを後の章で述べますので、時定数の近似は $C3 < C1/5$ と仮定すると現実的です。

標準的設計法でのループ・フィルタの計算

時定数の計算

標準的な時定数計算法で公式を導くにはいろいろな計算が必要ですが、いったん導き出せば、公式を当てはめるのは簡単です。標準的設計法では時定数を求めるのに近似を導入しますので、正確にいうと位相余裕度はループ帯域幅では最大になりませんが、非常に近いはずで

位相余裕度の導関数が 0 に等しいとおくと、次の関係式が得られます。

$$\left. \frac{d\phi}{d\omega} \right|_{\omega=\omega_c} = 0 = \frac{\omega_c \cdot T2}{1 + \omega_c^2 \cdot T2^2} - \frac{\omega_c \cdot T1}{1 + \omega_c^2 \cdot T1^2} - \frac{\omega_c \cdot T1 \cdot T31}{1 + \omega_c^2 \cdot T1^2 \cdot T31^2} \quad (5)$$

ω_c で全体を割り、分母を通分して、 $T2 \gg T1 + T3$ と仮定すると、 $T2$ について次のような近似式を得ることができます。

$$T2 \approx \frac{1}{\omega_c^2 \cdot (T1 + T3)} \quad (6)$$

位相余裕度は次のように与えられ、

$$\phi = \pi + \tan^{-1}(\omega_c \cdot T2) - \tan^{-1}(\omega_c \cdot T1) - \tan^{-1}(\omega_c \cdot T3) \quad (7)$$

ここから、3つの三角関数法の恒等式が必要となります。

$$\begin{aligned} \tan(\pi + x) &= \tan(x) \\ \tan(x) &\approx x \quad (, \sim \text{が小さいとき}) \\ \tan^{-1}(x) &\approx x \quad (, \sim \text{が小さいとき}) \end{aligned} \quad (8)$$

(6)を(7)に代入して両辺の正接関数を取り、上の3つの恒等式を当てはめると($\omega_c \cdot T1$ と $\omega_c \cdot T3$ が小さいと仮定して)、次のように簡単な形が得られます。

$$T1 + T3 \approx \frac{\sec(\phi) - \tan(\phi)}{\omega_c} \quad (9)$$

したがって、ループ・フィルタの2つの極は、次のように求まります。

$$T1 \approx \frac{\sec(\phi) - \tan(\phi)}{\omega_c \cdot (1 + T31)} \quad (10)$$

$$T3 = T1 \cdot T31$$

時定数からの回路定数の計算

C3はある程度任意に決められますが、時定数 T1、T3 についての近似が成り立つためには C1/5 より大きくすべきではありません。VCO の入力容量(10 から 100pF)が C3 と R3 に並列に入るとループ帯域外で熱雑音が発生する原因になるので、制約条件に反しない限り C3 をできるだけ大きく選ぶ方がよいでしょう。次の式では C3 を C1/5 と等しいものとして選んでいます。C3 が VCO の入力容量よりかなり大きく、R3 が小さい場合、ループ・フィルタをよりよく近似するため C3 を C1/5 より小さくするのは理にかなっていません。2 次フィルタの章で行ったのと同じような方法で、回路定数が求められます。

$$C_{tot} = \frac{K\phi \cdot K_{vco}}{\omega c^2 \cdot N} \cdot \sqrt{\frac{(1 + \omega c^2 \cdot T2^2)}{(1 + \omega c^2 \cdot T1^2) \cdot (1 + \omega c^2 \cdot T3^2)}} \quad C1 = \frac{T1}{T2} \cdot C_{tot}$$

$$C3 = \frac{C1}{5}$$

$$C2 = C_{tot} - C1 - C3 \tag{11}$$

$$R2 = \frac{T2}{C2}$$

$$R3 = \frac{T3}{C3}$$

ループ・フィルタの直接設計法

近似値を使わずにループ・フィルタの回路定数を計算するため、ここでは時定数 T1、T3 は、これまでと違ってフィルタの真の極に対応させています。また、時定数について近似解を得るため前節の方法を取り、それからループ・フィルタの回路定数を計算して C3 > C1/5 の条件を緩和するため本節の方法をとることも可能です。

真のループ・フィルタ・インピーダンス

フィルタの真のインピーダンスは次のように与えられます。

$$\frac{1 + s \cdot T2}{s \cdot (1 + s \cdot T1) \cdot (1 + s \cdot T3)} \cdot \frac{1}{C1 + C2 + C3} \tag{12}$$

それから時定数は次のように決まります。

$$T2 = R2 \cdot C2$$

$$T1 + T3 = \frac{C2 \cdot C3 \cdot R2 + C1 \cdot C2 \cdot R2 + C1 \cdot C3 \cdot R3 + C2 \cdot C3 \cdot R3}{C1 + C2 + C3} \tag{13}$$

$$\frac{T1 \cdot T3}{T2} = \frac{C1 \cdot C3 \cdot R3}{C1 + C2 + C3}$$

時定数 T1 および T2 を求める直接的な方法

位相余裕度を最大にするようにループ帯域幅を選ぶと、

$$\frac{\omega \cdot T2}{1 + (\omega \cdot T2)^2} = \frac{\omega \cdot T1}{1 + (\omega \cdot T1)^2} + \frac{\omega T1 \cdot T31}{1 + (\omega \cdot T1 \cdot T31)^2} = f(\omega \cdot T2) \tag{14}$$

$$\omega c \cdot T2 = \frac{1 \pm \sqrt{1 - 4 \cdot f(\omega c \cdot T1)^2}}{2 \cdot f(\omega c \cdot T1)} = g(\omega c \cdot T1) \quad (15)$$

(15)では通常最終的に正の根が解になることが経験的にわかっています。しかし、負の根を使う方がよい結果になる場合があります。

(15)、(7)から $\omega c \cdot T2$ を消去すると、

$$\phi = \pi + \tan^{-1}(g(x)) - \tan^{-1}(x) - \tan^{-1}(x \cdot T31) \quad (16)$$

x のみが未知ですので、この方程式は x について数値計算で解くことができ、この式によって $T1$ がわかります。

$$T1 = \frac{x}{\omega c} \quad (17)$$

$T1$ がわかると $T2$ がわかり、

$$T2 = \frac{g(\omega c \cdot T1)}{\omega c} \quad (18)$$

直接的な設計法を使った時定数からの回路定数の計算

定義から、開ループ伝達関数はループ帯域幅での伝達関数に等しくなります。したがって、

$$C1 + C2 + C3 = C_{tot} = \frac{K\phi \cdot K_{vco}}{\omega c^2 \cdot N} \cdot \sqrt{\frac{1 + (\omega c \cdot T2)^2}{(1 + (\omega c \cdot T1)^2) \cdot (1 + (\omega c \cdot T3)^2)}} \quad (19)$$

4つの式と4未知数の連立方程式の定義

ここでは4つの方程式と4つの未知数を導きます。

定数

$$k1 = C_{tot}$$

$$k2 = (T1 + T3) \cdot k1$$

$$k3 = \frac{T1 \cdot T3 \cdot k1}{T2} \quad (20)$$

$$k4 = \frac{C3}{C1} = \text{後で計算}$$

方程式

$$C1 + C2 + C3 = k1$$

$$T2 \cdot (C1 + C3) + R3 \cdot C3 \cdot (C1 + C2) = k2$$

$$R3 \cdot C1 \cdot C3 = k3 \quad (21)$$

$$\frac{C3}{C1} = k4 (\text{後で計算})$$

$$C1 \cdot (k4 + 1) + C2 = k1 \quad (22)$$

$$T2 \cdot C1 \cdot (k4 + 1) + k3 + \frac{k3 \cdot C2}{C1} = k2$$

これらを合わせると、C1について解くべき2次方程式が得られます。

$$T2 \cdot (k4 + 1) \cdot C1^2 + (k3 - k2 - k3 \cdot (k4 + 1)) \cdot C1 + k3 \cdot k1 = 0 \quad (23)$$

k4の最適値の決定

k4を大きく選ぶとC3が大きくなり、これは望ましいとされています。ここではk4が最大にとり得る値を計算する方法を示します。

式(21)の判別式は

$$A \cdot k4^2 + B \cdot k4 + C \quad (24)$$

ここで、

$$A = k3^2 \quad (25)$$

$$B = 2 \cdot k2 \cdot k3 - 4 \cdot T2 \cdot k3 \cdot k1$$

$$C = k2^2 - 4 \cdot T2 \cdot k3 \cdot k1$$

判別式がゼロに等しいとしてk4について解くとき、次のような条件があります(r1とr2は判別式の根でr1<r2です)。

$$k4 < r1 \quad (26)$$

または

$$k4 > r2$$

実数かつ非負の回路定数を与えるようなk4のとり得る最大値は通常k4=r1であることが試行錯誤からわかります。k4を決めると、式(23)はC1について解くことができます。C1について解ければ、式(21)と式(22)に当てはめてC1、C2、R2、C3がこの順で解くことができます。回路定数が複素数または負になったら、k4またはT31を決めなおす必要があります。

結論

本章では3次パッシブ・ループ・フィルタに対する2つの設計法を示しました。第1の方法は通常の場合では十分精度の高い簡単な近似法です。第2の方法は、数値解析ルーチンが利用できるようなMathcadのようなプログラムと一緒に用いると最も効果的です。第2の方法はより手間がかかりますが、近似なしでフィルタのパラメータを決めることができ、従来用いていたC3>C1/5の近似条件を守らなくてもよくなります。また、時定数について解くため第1の方法を用い、次に回路定数について解くため第2の方法をとることも可能です。この方法は数値計算による直接設計法のみを使うよりやや簡単です。

参考文献

- [1] Keese, William O. *An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump Phased Locked Loops*

3次ループ・フィルタ設計

入力するパラメータ

$\phi := 50 \cdot \text{deg}$	位相余裕度。デフォルト値 50 度
$F_c := 10 \cdot \text{kHz}$	真のループ帯域幅を kHz 単位で入力します。Fp は入力しません。
$F_{\text{comp}} := 200 \cdot \text{kHz}$	比較周波数
$K_{\text{vco}} := 20 \cdot \frac{\text{MHz}}{\text{volt}}$	制御定数をここに入力します。。
$K_{\phi} := 5 \cdot \text{mA}$	位相比較器ゲインを入力します。2* π で割ることはしません。
$F_{\text{out}} := 2450 \cdot \text{MHz}$	高周波出力周波数。 $\sqrt{(F_{\text{max}} \cdot F_{\text{min}})}$ に等しい値を入力します。
$T_{31} := 0.80$	極の比 T3/T1。0 と 1 との間で選びます。

基本計算

$$N := \frac{F_{\text{out}}}{F_{\text{comp}}} \quad \omega_c := 2 \cdot \pi \cdot F_c$$

標準的方法を用いる計算

極とゼロ点の計算

$$T_1 := \frac{\left(\frac{1}{\cos(\phi)} \right) - \tan(\phi)}{\omega_c \cdot (T_{31} + 1)} \quad T_3 := T_{31} \cdot T_1 \quad T_2 := \frac{1}{(\omega_c^2 \cdot (T_1 + T_3))}$$

$$T_1 = 3.218 \cdot 10^{-6} \cdot \text{sec} \quad T_2 = 4.373 \cdot 10^{-5} \cdot \text{sec} \quad T_3 = 2.575 \cdot 10^{-6} \cdot \text{sec}$$

極とゼロ点からの回路定数の計算

$$C_{\text{tot}} := \frac{K_{\phi} \cdot K_{\text{vco}}}{\omega_c^2 \cdot N} \cdot \left[\frac{1 + \omega_c^2 \cdot T_2^2}{(1 + \omega_c^2 \cdot T_1^2) \cdot (1 + \omega_c^2 \cdot T_3^2)} \right]^{\frac{1}{2}} \quad C_1 := C_{\text{tot}} \cdot \frac{T_1}{T_2}$$

$$C_3 := \frac{C_1}{5} \quad C_2 := C_{\text{tot}} - C_1 - C_3$$

$$R_2 := \frac{T_2}{C_2} \quad R_3 := \frac{T_3}{C_3}$$

回路定数の表示

$$C_1 = 430.5273193 \cdot \text{pF} \quad C_2 = 5.3331735 \cdot \text{nF} \quad C_3 = 86.1054639 \cdot \text{pF}$$

$$R_2 = 8.1991447 \cdot \text{k}\Omega \quad R_3 = 29.900109 \cdot \text{k}\Omega$$

標準的方法でのループ・フィルタ解析

真の極とゼロ点の計算

$$T2 := R2 \cdot C2$$

$$x := \frac{C2 \cdot C3 \cdot R2 + C1 \cdot C2 \cdot R2 + C1 \cdot C3 \cdot R3 + C2 \cdot C3 \cdot R3}{C1 + C2 + C3}$$

これは T1+T3 です。

$$y := \frac{R2 \cdot R3 \cdot C1 \cdot C2 \cdot C3}{C1 + C2 + C3}$$

これは T1*T3 です。

$$T1 := \frac{x + \sqrt{x^2 - 4 \cdot y}}{2} \quad T3 := \frac{x - \sqrt{x^2 - 4 \cdot y}}{2}$$

時定数

$$T1 = 4.596 \cdot 10^{-6} \text{ sec}$$

$$T2 = 4.373 \cdot 10^{-5} \text{ sec}$$

$$T3 = 1.803 \cdot 10^{-6} \text{ sec}$$

$$\frac{T3}{T1} = 39.231\%$$

フィルタの極

$$\frac{1}{T1} = 217.6 \text{ kHz}$$

n/a

$$\frac{1}{T3} = 554.658 \text{ kHz}$$

フィルタのゼロ点

n/a

$$\frac{1}{T2} = 22.869 \text{ kHz}$$

n/a

ループ・パラメータの定義

$$Z(\omega) := \frac{1 + T2 \cdot i \cdot \omega}{i \cdot \omega \cdot (C1 + C2 + C3) \cdot (1 + i \cdot \omega \cdot T1) \cdot (1 + i \cdot \omega \cdot T3)}$$

ループ・フィルタのインピーダンス

$$G(\omega) := \frac{K \phi \cdot Kvco \cdot Z(\omega)}{i \cdot \omega}$$

順方向ループ・ゲイン

ループ帯域幅と位相余裕度

$$\omega := 10.0 \text{ kHz}$$

ループ帯域幅の初期値設定

$$\omega_c := \text{root}(|G(\omega)| - N, \omega) \cdot \frac{\omega_c}{2 \cdot \pi} = 9.889 \text{ kHz}$$

ループ帯域幅

$$\omega := \omega_c$$

$$\arg(G(\omega_c)) \cdot \frac{180}{\pi} + 180 = 47.465$$

位相余裕度

高精度な方法を用いる計算

極とゼロ点の計算

$$\omega_c := 2 \cdot \pi \cdot F_c$$

T1 および T2 についての解

$$f(x) := \frac{x}{1+x^2} + \frac{x \cdot T_{31}}{1+(x \cdot T_{31})^2} \quad g(x) := \frac{1 + \sqrt{1 - 4 \cdot f(x)^2}}{2 \cdot f(x)}$$

ωcT1(または x)の関数としての ωcT2

$$x := 3 \cdot 10^{-5}$$

$$T1 := \frac{\text{root}(\phi - \text{atan}(g(x)) + \text{atan}(x) + \text{atan}(x \cdot T_{31}), x)}{\omega_c}$$

$$T2 := \frac{g(\omega_c \cdot T1)}{\omega_c} \quad T3 := T31 \cdot T1$$

$$T1 = 3.01 \cdot 10^{-6} \cdot \text{sec} \quad T2 = 4.215 \cdot 10^{-5} \cdot \text{sec} \quad T3 = 2.408 \cdot 10^{-6} \cdot \text{sec}$$

極とゼロ点からの回路定数の計算

4 方程式と 4 未知数の系の定義

$$k1 := \left(\frac{K \phi \cdot K_{vco}}{N} \right) \cdot \frac{\sqrt{1 + (\omega_c \cdot T2)^2}}{\sqrt{(1 + (\omega_c \cdot T1)^2) \cdot (1 + (\omega_c \cdot T3)^2)}} \cdot \frac{1}{\omega_c^2} \quad k1 = 5.687 \cdot \text{nF}$$

$$k2 := (T1 + T3) \cdot k1 \quad k2 = 3.081 \cdot 10^{-5} \cdot \text{sec} \cdot \text{nF}$$

$$k3 := \frac{T3 \cdot T1 \cdot k1}{T2} \quad k3 = 9.779 \cdot 10^{-7} \cdot \text{sec} \cdot \text{nF}$$

k4 の最大値を得るための等式

$$\begin{aligned} A &:= k3^2 & A &= 9.562 \cdot 10^{-13} \cdot \text{sec}^2 \cdot \text{nF}^2 \\ B &:= 2 \cdot k2 \cdot k3 - 4 \cdot T2 \cdot k1 \cdot k3 & B &= -8.772 \cdot 10^{-10} \cdot \text{sec}^2 \cdot \text{nF}^2 \\ C &:= k2^2 - 4 \cdot T2 \cdot k3 \cdot k1 & C &= 1.172 \cdot 10^{-11} \cdot \text{sec}^2 \cdot \text{nF}^2 \end{aligned}$$

$$k4_{\min} := \frac{-B - \sqrt{B^2 - 4 \cdot A \cdot C}}{2 \cdot A} \quad k4_{\min} = 0.013$$

$$k4_{\max} := \frac{-B + \sqrt{B^2 - 4 \cdot A \cdot C}}{2 \cdot A} \quad k4_{\max} = 917.355 \quad k4 := k4_{\min}$$

C1 およびその他の回路定数の解

$$A := T2 \cdot (k4 + 1)$$

$$B := -k2 - k3 \cdot k4$$

$$C := k3 \cdot k1$$

$$C1 := \frac{-B}{2 \cdot A}$$

$$C2 := k1 - C3 - C1$$

$$A = 4.271 \cdot 10^{-5} \cdot \text{sec}$$

$$B = -0.031 \cdot \text{sec} \cdot \text{pF}$$

$$C = 5.561 \cdot \text{sec} \cdot \text{pF}^2$$

$$C3 := k4 \cdot C1$$

$$R3 := \frac{k3}{C1 \cdot C3} \quad R2 := \frac{T2}{C2}$$

回路定数の表示

$$C1 = 360.8272391 \cdot \text{pF}$$

$$C2 = 5.3208948 \cdot \text{nF}$$

$$C3 = 4.8202171 \cdot \text{pF}$$

$$R2 = 7.9209587 \cdot \text{k}\Omega$$

$$R3 = 562.224934 \cdot \text{k}\Omega$$

高精度な方法のループ・フィルタ解析

真の極とゼロ点の計算

$$T2 := R2 \cdot C2$$

$$x := \frac{C2 \cdot C3 \cdot R2 + C1 \cdot C2 \cdot R2 + C1 \cdot C3 \cdot R3 + C2 \cdot C3 \cdot R3}{C1 + C2 + C3}$$

これは T1+T3 です。

$$y := \frac{R2 \cdot R3 \cdot C1 \cdot C2 \cdot C3}{C1 + C2 + C3}$$

これは T1*T3 です。

$$T1 := \frac{x + \sqrt{x^2 - 4 \cdot y}}{2} \quad T3 := \frac{x - \sqrt{x^2 - 4 \cdot y}}{2}$$

時定数

$$T1 = 3.01 \cdot 10^{-6} \cdot \text{sec}$$

$$T2 = 4.215 \cdot 10^{-5} \cdot \text{sec}$$

$$T3 = 2.408 \cdot 10^{-6} \cdot \text{sec}$$

$$\frac{T3}{T1} = 80 \%$$

フィルタの極

$$\frac{1}{T1} = 332.238 \text{kHz}$$

n/a

$$\frac{1}{T3} = 415.298 \text{kHz}$$

フィルタのゼロ点

n/a

$$\frac{1}{T2} = 23.727 \text{kHz}$$

n/a

ループ・パラメータの定義

$$Z(\omega) := \frac{1 + T2 \cdot i \cdot \omega}{i \cdot \omega \cdot (C1 + C2 + C3) \cdot (1 + i \cdot \omega \cdot T1) \cdot (1 + i \cdot \omega \cdot T3)}$$

ループ・フィルタのインピーダンス

$$G(\omega) := \frac{K \phi \cdot K_{vco} \cdot Z(\omega)}{i \cdot \omega}$$

順方向ループ・ゲイン

ループ帯域幅と位相余裕度

$$\omega := 10.0 \text{kHz}$$

ループ帯域幅の初期値設定

$$\omega_c := \text{root}(|G(\omega)| - N, \omega) \quad \frac{\omega_c}{2 \cdot \pi} = 10 \text{kHz}$$

ループ帯域幅

$$\omega := \omega_c$$

$$\arg(G(\omega_c)) \cdot \frac{180}{\pi} + 180 = 50$$

位相余裕度

10. 4次以上のループ・フィルタ設計

はじめに

PLL システムの次数はループ・フィルタの極数プラス 1 で定義されます。本章では 3 次以上のフィルタの設計について調べます。高次フィルタ設計をするのは、リファレンス・スプリアスの減衰がさらに大きくなるからです。4 次以上のフィルタは、フィルタリングすべきスプリアスがループ帯域幅の少なくとも 20 倍はあるとき実用的です。本章では高次フィルタの一般的な場合について見ていきますが、ほとんどの例や図表では 4 次フィルタを使用しています。4 次以上のフィルタの方程式は実用上の価値があるというより学問的な計算問題だからです。一般的な公式を示しますが、最も役に立つのは 4 次フィルタです。

高精度な設計法を使って時定数を求めるのはあまり難しくはありませんが、近似なしで時定数から回路定数を計算するのはたいへん困難です。このため、時定数と回路定数の導出では標準的設計法を用います。しかし、回路定数を求めるもう 1 つ別の改善された方法があり、 $T41 < 2 \cdot T31$ と仮定するとうまくいきます。4 次フィルタでは、ループ帯域幅 ω_c 、位相余裕度 ϕ 、極周波数比 $T31$ および $T41$ を設定する必要があります。

回路トポロジ

以下に 4 次ループ・フィルタを示します。RC フィルタを追加するとより高次のフィルタができます。アイソレーションを改善するため段間にバッファを挿入してもよいでしょう。

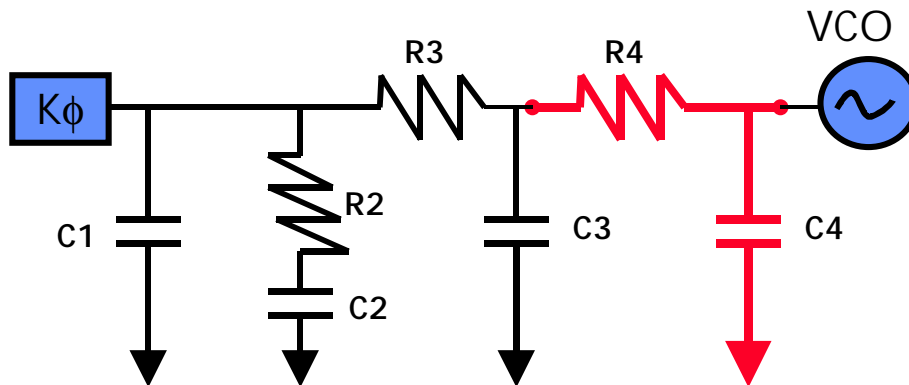


図 1 4 次パッシブ・フィルタ

ループ・フィルタ・インピーダンスおよび時定数の導出

4 次ループ・フィルタのループ・フィルタ・インピーダンスは次のように与えられます。

$$Z(s) = \frac{1 + s \cdot C2 \cdot R2}{s \cdot (C1 + C2 + C3 + C4) \cdot (A \cdot s^3 + B \cdot s^2 + C \cdot s + D)} \quad (1)$$

$$= \frac{1 + s \cdot T2}{s \cdot Ctot \cdot (1 + s \cdot T1) \cdot (1 + s \cdot T3) \cdot (1 + s \cdot T4)}$$

ここで、

$$C_{tot} = C1 + C2 + C3 + C4$$

$$T2 = R2 \bullet C2$$

$$A = C1 \bullet C2 \bullet C3 \bullet C4 \bullet R2 \bullet R3 \bullet R4$$

$$B = C1 \bullet C2 \bullet R2 \bullet (R3 \bullet C3 + R4 \bullet C4 + R3 \bullet C4) + R3 \bullet C3 \bullet R4 \bullet C4 (C1 + C2) \quad (2)$$

$$C = R3 \bullet C3 \bullet (C1 + C2) + C3 \bullet C4 \bullet (R3 + R4) + C2 \bullet (R3 \bullet C4 + R4 \bullet C4 + R1 \bullet C2)$$

$$D = C_{tot}$$

$$T1 = \frac{R2 \bullet C2 \bullet C1}{C_{tot}}$$

$$T3 \approx R3 \bullet C3$$

$$T4 \approx R4 \bullet C4$$

一般の k 次ループ・フィルタのインピーダンスと時定数は、

$$Z(s) = \frac{(1 + s \bullet T2)}{s \bullet C_{tot} \bullet (1 + s \bullet T1) \bullet \prod_{i=3}^k (1 + s \bullet T_i)} \quad (3)$$

ただし

$$T1 \approx R2 \bullet C2 \bullet \frac{C1}{C_{tot}}$$

$$T2 = R2 \bullet C2$$

$$T_i \approx R_i \bullet C_i \quad i = 3, 4, \dots, k \quad (4)$$

ここで、ループ・フィルタの時定数は近似されたものですが、上の式はかなりよい近似になっています。この近似は、

$$C_i \ll C1 \quad (5)$$

$$1 \ll \left(\frac{C_i}{C_{i+1}} \right) + \left(\frac{R_{i+1}}{R_i} \right) \quad i = 3, 4, \dots, k \quad (6)$$

の範囲で有効です。

上の条件を満たすために考えられる方法の 1 つは、次のように時定数を選ぶことです。

$$T_i \geq 2 \bullet T_{i+1} \quad (7)$$

時定数の算出

同様に AN-1001 でも計算されているように、位相余裕度は次のように与えられ、

$$\phi = 180 + \tan^{-1}(\omega \bullet T2) - \tan^{-1}(\omega \bullet T1) - \prod_{i=3}^k \tan^{-1}(\omega \bullet T_i) \quad (8)$$

テーラー級数から、x が小さい場合、次の式が得られます。

$$\tan(x) \approx x$$

$$\tan^{-1}(x) \approx x \quad (9)$$

正接関数を当てはめて上の2つの恒等式を使うと、次のような簡単な式が得られます。

$$T1 + \sum_{i=3}^k T_i \approx \frac{\sec(\phi) - \tan(\phi)}{\omega c} \quad (10)$$

設計上の制約条件として、位相余裕度はループ帯域幅で最大になるとします。位相余裕度の導関数をゼロとおくと、次のような等式が得られます。

$$\frac{T2}{1 + \omega c^2 \cdot T2^2} = \frac{T1}{1 + \omega c^2 \cdot T1^2} + \sum_{i=3}^k \frac{T_i}{1 + \omega^2 c \cdot T_i^2} \quad (11)$$

両辺をたすき掛けすると、

$$T2 + \dots \approx \omega c^2 \cdot T2^2 \cdot (T1 + \sum_{i=3}^k T_i) + \dots \quad (12)$$

になります。

ここでは非常に多くの項を消去しましたが、この簡略化は次式が成り立つ限り成立します。

$$T2 \gg T1 + \sum_{i=3}^k T_i \quad (13)$$

式(12)を書き換えると以下の式が得られます。

$$T2 \approx \frac{1}{\omega c^2 \cdot (T1 + \sum_{i=3}^k T_i)} \quad (14)$$

$$T1 + \sum_{i=3}^k T_i \frac{\sec(\phi) - \tan(\phi)}{\omega c} \quad (15)$$

ここで時定数 T1、T3、…T_k は、スプリアスの減衰度を最適化するためすべて等しいものとしてすることができます。あるいは、数学的近似による過剰な誤差を避けるため、(7)のように選ぶことができます。4次フィルタの場合、(7)を満たすには、

$$T1 = \frac{4}{7} \cdot \frac{\sec(\phi) - \tan(\phi)}{\omega c}$$

$$T3 \equiv T3 = \frac{2}{7} \cdot \frac{\sec(\phi) - \tan(\phi)}{\omega c}$$

$$T4 \equiv T4 = \frac{1}{7} \cdot \frac{\sec(\phi) - \tan(\phi)}{\omega c}$$

のように選びます。

時定数からの回路定数の算出

いったんこれらの時定数が決まれば、その他の回路定数は次のように求められます。

$$C_{tot} = \frac{K\phi \cdot K_{vco}}{\omega^2 \cdot N} \cdot \sqrt{\frac{1 + \omega^2 \cdot T_2^2}{(1 + \omega^2 \cdot T_1^2) \cdot \prod_{i=3}^k (1 + \omega^2 \cdot T_i^2)}}$$

$$C_1 = C_{tot} \cdot \frac{T_1}{T_2}$$

$$C_3 = \frac{C_1}{5}$$

$$C_4 = \frac{C_3}{5}$$

$$C_{i+1} = \frac{C_i}{5} \quad i = 4, 5, 6, \dots \quad (\text{次数が 4 次以下のときは 0})$$

$$C_2 = C_{tot} - C_1 - C_3 - C_4 - \sum_{i=5,6,7,\dots} C_i$$

$$R_2 = \frac{T_2}{C_2}$$

$$R_3 = \frac{T_3}{C_3}$$

$$R_4 = \frac{T_4}{C_4}$$

$$R_i = \frac{T_i}{C_i} \quad i = 4, 5, 6, \dots \quad (\text{次数が 4 次以下のときは 0})$$

4 次フィルタの回路定数算出法の改良

4 次フィルタの場合、回路定数 R3、R4、C3、C4 についてインピーダンスを陽関数的に表し、時定数 T3、T4 をより高精度に求めることによって、さらに精度よく回路定数を求めることができます。この近似は、時定数 T1 がループ・フィルタの他の回路定数からの寄与を計算に入れている点をのぞけば、オペアンプを R3 の直前に挿入する方法に非常に似ています。

回路定数 C1、C2、C3、R2 をこれまで通りに求めますが、回路定数 R3、R4、C4 は、極がループ・フィルタ・インピーダンス Z2(s)の表式に等しいとおいて、もっと正確に求められます。抵抗 R3 の入力から VCO の入力までの電圧伝達関数は、

$$Z_2(s) = \frac{1}{1 + s \cdot (C_3 \cdot R_3 + C_4 \cdot R_4 + R_3 \cdot C_4) + s^2 \cdot C_3 \cdot C_4 \cdot R_3 \cdot R_4} = \frac{1}{(1 + s \cdot T_3) \cdot (1 + s \cdot T_4)}$$

この計算を行うと、R3 および R4 が得られます。

$$R_3, R_4 = \frac{T_3 + T_4 \mp \sqrt{(T_3 + T_4)^2 - 4 \cdot T_3 \cdot T_4 \cdot \left(1 + \frac{C_4}{C_3}\right)}}{2 \cdot (C_3 + C_4)}$$

実際の回路定数では、平方根記号の中の数値は負以外のものでなくてはなりません。この制限を当てはめると

$$\frac{C_4}{C_3} \leq \frac{(T_3 - T_4)^2}{4 \cdot T_3 \cdot T_4}$$

しかし、C4 をできるだけ大きくとる方が望ましいので、この両辺は等しいとすべきです。容量 C3 はゼロではなく VCO 入力容量の少なくとも 3 倍になるように、T3 は T4 より大きくとらなけれ

ばなりません。すなわち $T3 > T4$ です。この条件を当てはめると、回路定数が求まり、次のようになります。

$$C4 = C3 \cdot \frac{(T3 - T4)^2}{4 \cdot T3 \cdot T4}$$
$$R3 = R4 = \frac{T3 + T4}{2 \cdot (C3 + C4)}$$

結論

4次フィルタの設計とシミュレーションを示しました。4次フィルタを用いるとスプリアスのオフセット周波数がループ帯域幅より相当大きい場合最も有用です。このコンセプトは5次、6次またはより高次のフィルタにも応用できます。しかし、回路容量がVCO入力容量と比べて小さ過ぎて、実際はこのような高次フィルタが現実的でないことがしばしばあります。次章では2次より高次のフィルタを使う際の利点を詳しく調べます。

参考文献

- [1] Keese, William O. *An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump Phased Locked Loops*

4 次ループ・フィルタ設計

以下の値を入力します。

$$Kvco := 20 \cdot \frac{\text{MHz}}{\text{volt}}$$

VCO 制御定数の入力

$$K\phi := 5 \cdot \text{mA}$$

位相比較器ゲイン入力。2・πで割りません。

$$Fout := 900 \cdot \text{MHz}$$

RF 出力周波数。√(Fmax+Fmin)に等しい値を選択。

$$Fcomp := 1000 \cdot \text{kHz}$$

比較周波数

$$Fc := 10 \cdot \text{kHz}$$

ループ帯域幅を kHz で入力。Fp は入力しないようにします。

$$\phi := 50 \cdot \text{deg}$$

高周波出力周波数。

$$T31 := 1.0$$

極 T3 の T1 に対する比。0 から 1 の間の値を入力します。デフォルト値 0.8

$$T41 := 0.5$$

極 T4 の T3 に対する比。0 から 1 の間の値を入力します。デフォルト値 0.5

計算

$$N := \frac{Fout}{Fcomp}$$

$$\omega_c := 2 \cdot \pi \cdot Fc$$

極とゼロ点の計算

$$T1 := \frac{\left(\frac{1}{\cos(\phi)} - \tan(\phi) \right)}{\omega_c} \cdot \frac{1}{1 + T31 + T41}$$

$$T3 := T1 \cdot T31$$

$$T4 := T41 \cdot T1$$

$$T2 := \frac{1}{(\omega_c^2 \cdot (T1 + T3 + T4))}$$

$$T1 = 2.317 \cdot 10^{-6} \cdot \text{sec} \quad T2 = 4.373 \cdot 10^{-5} \cdot \text{sec} \quad T3 = 2.317 \cdot 10^{-6} \cdot \text{sec} \quad T4 = 1.159 \cdot 10^{-6} \cdot \text{sec}$$

時定数から回路定数を計算

onstants

$$Ctot := \frac{K\phi \cdot Kvco}{\omega_c^2 \cdot N} \cdot \left[\frac{1 + \omega_c^2 \cdot T2^2}{(1 + \omega_c^2 \cdot T1^2) \cdot (1 + \omega_c^2 \cdot T3^2) \cdot (1 + \omega_c^2 \cdot T4^2)} \right]^{\frac{1}{2}}$$

$$C1 := Ctot \cdot \frac{T1}{T2}$$

$$C3 := \frac{C1}{5}$$

$$C4 := C3 \cdot \frac{(T3 - T4)^2}{4 \cdot T3 \cdot T4}$$

$$C2 := Ctot - C1 - C3 - C4$$

$$R2 := \frac{T2}{C2}$$

$$R3 := \frac{T4 + T3}{2 \cdot (C3 + C4)}$$

$$R4 := \frac{T4 + T3}{2 \cdot (C3 + C4)}$$

計算された値

$$C1 = 4.259 \cdot 10^3 \text{ pF} \quad C2 = 7.515 \cdot 10^4 \text{ pF} \quad C3 = 851.748 \text{ pF} \quad R2 = 0.582 \text{ k}\Omega \quad R3 = 1.814 \text{ k}\Omega$$

$$C4 = 106.468 \text{ pF} \quad R4 = 1.814 \text{ k}\Omega$$

シミュレーション

ループ・パラメータの定義

$$A := R2 \cdot R3 \cdot R4 \cdot C1 \cdot C2 \cdot C3 \cdot C4$$

$$B := C1 \cdot C2 \cdot R2 \cdot R3 \cdot (C3 + C4) + R4 \cdot C4 \cdot (C2 \cdot C3 \cdot R3 + C1 \cdot C3 \cdot R3 + C1 \cdot C2 \cdot R2)$$

$$C := R2 \cdot C2 \cdot (C1 + C3 + C4) + R3 \cdot (C1 + C2) \cdot (C3 + C4) + R4 \cdot C4 \cdot (C1 + C2 + C3)$$

$$D := C1 + C2 + C3 + C4$$

$$Z(s) := \frac{1 + s \cdot C2 \cdot R2}{s \cdot (A \cdot s^3 + B \cdot s^2 + C \cdot s + D)}$$

$$G(\omega) := \frac{K \phi \cdot Kvco \cdot Z(\omega \cdot i)}{\omega \cdot i}$$

$$\omega := 10 \text{ kHz}$$

$$\omega_c := \text{root}(|G(\omega)| - N, \omega)$$

$$\frac{\omega_c}{2 \cdot \pi} = 9.987 \text{ kHz}$$

$$\phi := \arg(G(\omega_c)) \cdot \frac{180}{\pi} + 180$$

$$\phi = 53.093$$

11. リファレンス・スプリアスを最小化するループ・フィルタ設計

はじめに

リファレンス・スプリアス・レベルは、リーク支配性であれパルス支配性であれ、スプリアス・ゲインと直接関連しているのを示してきました。本章ではいろいろな条件下でスプリアス・ゲインを最小にする方法を調べます。最初に、すべての極周波数比(T_{31} 、 T_{41} など)を1に設定するとなぜ常にスプリアス・ゲイン最小のフィルタとなるかを示し、次にその他のパラメータのスプリアス・ゲインへの影響も調べます。前章では、ループ・フィルタを再設計しない場合について、いろいろなパラメータの影響を解析しました。本章では、ループ・フィルタを再設計すると仮定します。たとえば、ループ・フィルタを再設計しないと VCO ゲインが大きくなるにつれてスプリアス・レベルが上がりますが、ループ帯域幅が同じになるようにループ・フィルタを再設計すると影響ないことがわかります。

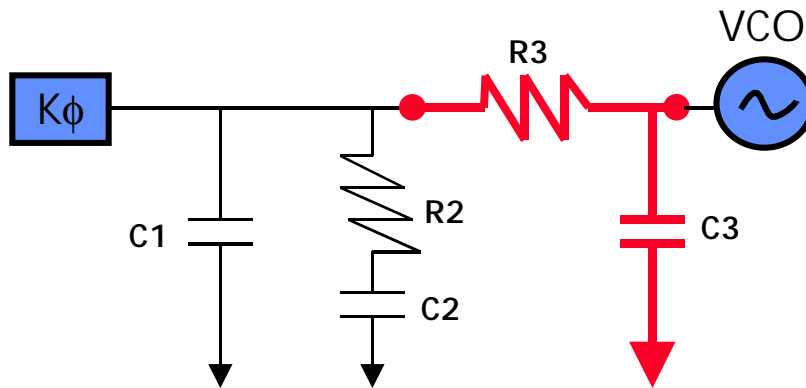


図1 基本的なパッシブ・フィルタのトポロジ

スプリアス・ゲインの最小化

スプリアス・レベルは PLL のスプリアス・ゲインに直接結びついていますので、問題はループ帯域幅と位相余裕度を一定に保つという制約条件のもとで、スプリアス・ゲインを最小化することに還元されます。フィルタの極を T_i ($i=1, 3, 4, \dots, k$) で表します。T2 はフィルタのゼロ点ですので添え字は2を飛ばします。k はフィルタの次数で、2 より大きいと仮定します。T1(i) は極 T_i の T1 に対する比を表すようにします。この数値は0 から1 までの範囲の値をとることができます。T1(1)=1 となります。リファレンス・スプリアスはループ帯域から相当離れていますので、閉ループ伝達関数は開ループ伝達関数で近似でき、したがってスプリアス・ゲインは次のようになります。

$$|G(\omega)| = \frac{K\phi \cdot K_{vco}}{C_{tot} \cdot \omega^2} \cdot \sqrt{\frac{1 + \omega^2 \cdot T_2^2}{\prod_{i=1,3,4,\dots,k} (1 + \omega^2 \cdot T_i^2)}} \quad (1)$$

しかし C1 は定数ではありません。繰り返しになりますが、

$$C_{tot} = \frac{K\phi \cdot Kvco}{N \cdot \omega c^2} \cdot \sqrt{\frac{1 + \omega c^2 \cdot T2^2}{\prod_{i=1,3,4,\dots,k} (1 + \omega c^2 \cdot Ti^2)}} \quad (2)$$

この式を代入すると G(s)について次のような式が得られます。

$$|G(s)| = N \cdot \frac{\omega c^2}{\omega^2} \cdot \sqrt{\frac{1 + \omega^2 \cdot T2^2}{1 + \omega c^2 \cdot T2^2}} \cdot \prod_{i=1,3,4,\dots,k} \frac{(1 + \omega c^2 \cdot Ti^2)}{(1 + \omega^2 \cdot Ti^2)} \quad (3)$$

上の式では、すべての回路定数が式から消去されていますが、時定数が残っており解を求めなければなりません。しかし、時定数を既知の設計パラメータに関係付ける方程式が3つあります。したがって、スプリアス・ゲインは設計パラメータについて1つに決まります。時定数とフィルタ・パラメータとの関係式はループ・フィルタの標準的設計法の節で得られており、以下に示します。

$$T1 = \frac{\sec \phi - \tan \phi}{\omega c \cdot \sum_{i=1,3,4,\dots,k} T1(i)} \quad (4)$$

$$Ti = T1 \cdot T1(i) = \frac{\sec \phi - \tan \phi}{\omega c \cdot \sum_{i=1,3,4,\dots,k} T1(i)} \cdot T1(i) \quad (5)$$

$$T2 = \frac{1}{\omega c^2 \cdot \sum_{i=1,3,4,\dots,k} Ti} = \frac{1}{\omega c \cdot (\sec \phi - \tan \phi)} \quad (6)$$

(4)、(5)、(6)を(3)に代入すると、設計パラメータについてスプリアス・ゲインが得られます。

$$|G(s)| = \frac{N}{r^2} \cdot \sqrt{\frac{r^2 + x^2}{1 + x^2}} \cdot \prod_{i=1,3,4,\dots,k} \left[\frac{\left(\sum_{j=1,3,4,\dots,k} T1(j) \right)^2 + T1(i)^2 \cdot x^2}{\left(\sum_{j=1,3,4,\dots,k} T1(j) \right)^2 + T1(i)^2 \cdot x^2 \cdot r^2} \right] \quad (7)$$

次の項は前述のように定義され、

$$x = \sec \phi - \tan \phi$$

$$r = \frac{\text{Spur Frequency}}{\text{Loop Bandwidth}} = \frac{F_{spur}}{Fc} \quad (8)$$

$S \frac{1}{r^2}$ が係数なので、スプリアス・ゲインは r が最小値のとき最小になり、これはループ帯域幅が最小になる点に対応しているのは明らかです。しかし、スプリアス・ゲインとパラメータ x との関係あるいはスプリアス・ゲインとフィルタの極との関係は非常に曖昧です。r は 1 より大きいと仮定できますので(7)は T1(i)の減少関数であることが示せます。しかしこれら極周波数比は 1 を超えることはありません。なぜなら、定義から T1 が最大の極だからです。このような考察からスプリアス減衰度が最適化されるにはすべての極周波数比を 1 にしなければならないという基本的な結果が得られます。しかし、すべての極を 1 にするとループ・フィルタの VCO に隣接した容量が非常に小さくなって、VCO の入力容量の影響を受けてしまいます。4 次フィルタについての改良された設計方程式

を使う場合、この容量がゼロになります。このため、極周波数比を1より小さくとるのが多くの場合、無理もないところです。

式(7)からこの関数が|x|の減少関数であることがわかります。なぜなら、 $r > 1$ ならば、それぞれの分数項が|x|の減少関数で、ゆえに関数全体が|x|の減少関数になるからです。したがって、スプリアス・レベルを最小にすることは、式(8)を最小にすることと等価です。このような考え方を通すと、この関数が0度から90度の区間で ϕ の増加関数であり、したがってスプリアス・ゲインを最小にするのは位相余裕度を最小にするのと等価であることが示せます。しかし、実際には位相余裕度を変えても一般にはスプリアス・ゲインに対して影響がありません。ロックアップ時間の章で2次関数を見ると、位相余裕度が小さくなるとロックアップ時間が速くなることがわかりますが、4次モデルを用いたコンピュータ・シミュレーションによると、ロックアップ時間が最適になる位相余裕度は通常約50度です。このことから、位相余裕度を約50度にした設計が妥当です。なぜなら、位相余裕度を50度にすると、位相余裕度よりむしろループ帯域幅を調整してスプリアス・レベルにより大きく影響を与えるようにできるからです。

したがって、式(7)を見ると3次フィルタのスプリアス・ゲインは次のようになります。

$$SG = 20 \bullet \log(N) - 40 \bullet \log(r) + 10 \bullet \log \left| \frac{r^2 + x^2}{1 + x^2} \bullet \frac{(1 + T31)^2 + T31^2 \bullet x^2}{(1 + T31)^2 + T31^2 \bullet x^2 \bullet r^2} \bullet \frac{(1 + T31)^2 + x^2}{(1 + T31)^2 + x^2 \bullet r^2} \right|$$

パラメータとの関係	リーク支配性スプリアス	電流不均衡支配性スプリアス
チャージ・ポンプ・リーク, i_{leak}	$20 \bullet \log(i_{leak})$	N/A
チャージ・ポンプ出力電流不均衡度, M	N/A	$ M - \delta $ と相関
N 値, N	$20 \bullet \log(N)$	$20 \bullet \log(N)$
位相余裕度	弱い逆の相関, 表 2 参照	
VCO ゲイン, KVCO	無関係	無関係
ループ帯域幅, ω_c	$40 \bullet \log(\omega_c)$	$40 \bullet \log(\omega_c)$
T3 対 T1 比	表 2 参照, 位相余裕度に依存	
比較周波数	$-40 \bullet \log(F_{comp})$	$-40 \bullet \log(F_{comp})$
$r = F_{comp}/\omega_p$	$-40 \bullet \log(r)$	$-40 \bullet \log(r)$
チャージ・ポンプ・ゲイン, $K\phi$	$-10 \bullet \log(K\phi)$	無関係

表 1 リファレンス・スプリアス・ゲイン対各ループ・フィルタ・パラメータ

表 1 から、ループ帯域幅、比較周波数、N 値はスプリアス・ゲインに最も関連性が高いことがわかります。比較周波数とループ帯域幅の比を考えると、大まかな指標になります。N 値も関連性があり、比較周波数に関係しています。チャージ・ポンプ・ゲインが大きくなると、ループ・フィルタの容量値が大きくなるので、リーク支配性スプリアスは小さくなります。これらの値について、ループ・フィルタを再設計して最適化されるという前提がある点を理解しておいた方がよいでしょう。ループ・フィルタが再設計されないと、結果は大きく異なり、その結果は前章で計算してあります。ただし、このことはループ・フィルタのスプリアス・ゲインについてのみ当てはまり、リファレンス・スプリアス・レベルに対してはわずかな影響しかありません。

したがって、 $20 \cdot \log(N)$ の項は明らかにNに依存性があり、ゆえに以下の表はN値が1の場合を仮定しています。表の値には $20 \cdot \log(N)$ を加える必要があります。これらの方程式はフィルタが再設計されるのを前提にしています。これが当てはまらない場合は、スプリアスはあまりN値には影響されないのがわかります。以下の表では位相余裕度とr値が与えられています。これから、主要なブロックを見つけ出し、 $N=1$ のときのスプリアス・ゲインに対応する値を見つけます。全体のスプリアス・ゲインを得るには、この値に $20 \cdot \log(N)$ を加えます。

適切なループ・フィルタ次数の選択

位相余裕度 50度を仮定し、式(7)をとってすべての極が等しいとおくと、2次フィルタに対する相対的な減衰度を計算できます。暗く陰をつけた部分は、ループ・フィルタ次数が高過ぎて現実的でないことを示しています。

		比較周波数対ループ帯域幅比						
		1000	100	50	20	10	5	3
ループ フィルタ次 数	3	40.63	20.64	14.68	7.08	2.20	-0.58	-0.9
	4	76.51	36.57	27.72	10.09	1.75	-1.71	-1.5
	5	109.37	49.53	31.94	11.01	0.57	-2.60	-1.95
	6	140.02	60.33	37.16	10.79	-0.70	-3.25	-2.4

表2 2次より高次のフィルタについてのスプリアス改善

表にはいくつかの近似値を含んでいますが、とり得る上限値を意味すると捉えるべきでしょう。ループ帯域幅に比べて比較周波数が大きいときは、フィルタを高次にするほど効果的なことに注意ください。当然これらの場合、スプリアスは多くの場合あまり問題になりません。表はまた、比較周波数がループ帯域幅の少なくとも10倍はないと、3次ループ・フィルタ(2つの極)には意味がないことを示しています。いずれにせよ、連続時間近似条件を満足するためには、比較周波数がループ帯域幅の10倍は必要です。 $T1=T3=\dots=Tk$ の場合最大減衰度が得られますが、容量がVCOの入力容量の影響を受けないように、またよりうまく近似を行うために $T1 > T3 > \dots > Tk$ として設計するのが妥当です。

		r										
		3	5	10	15	20	25	50	100	200	500	1000
T31 = 0	$\phi=30$	-15.4	-23.6	-35.3	-42.3	-47.3	-51.2	-63.2	-75.2	-87.3	-103.2	-115.2
	$\phi=40$	-14.1	-22.0	-33.6	-40.5	-45.5	-49.3	-61.3	-73.4	-85.4	-101.3	-113.4
	$\phi=50$	-12.9	-20.3	-31.5	-38.4	-43.3	-47.2	-59.2	-71.2	-83.3	-99.2	-111.2
	$\phi=60$	-11.7	-18.4	-29.1	-35.9	-40.8	-44.6	-56.5	-68.6	-80.6	-96.5	-108.6
	$\phi=70$	-10.6	-16.5	-26.1	-32.5	-37.3	-41.1	-52.9	-64.9	-77.0	-92.9	-104.9
T31 = .25	$\phi=30$	-14.9	-23.5	-37.5	-46.8	-53.7	-59.3	-77.0	-94.9	-113.0	-136.8	-154.9
	$\phi=40$	-13.5	-21.6	-34.7	-43.6	-50.3	-55.7	-73.2	-91.1	-109.2	-133.0	-151.1
	$\phi=50$	-12.3	-19.6	-31.8	-40.1	-46.6	-51.8	-69.0	-86.8	-104.8	-128.6	-146.7
	$\phi=60$	-11.2	-17.7	-28.7	-36.3	-42.3	-47.2	-63.8	-81.5	-99.4	-123.2	-141.3
	$\phi=70$	-10.3	-15.9	-25.3	-32.0	-37.3	-41.8	-57.2	-74.3	-92.1	-115.9	-134.0
T31 = .50	$\phi=30$	-14.8	-24.0	-39.2	-49.1	-56.3	-62.0	-79.9	-97.9	-116.0	-139.8	-157.9
	$\phi=40$	-13.4	-21.7	-36.0	-45.5	-52.6	-58.3	-76.1	-94.1	-112.1	-136.0	-154.0
	$\phi=50$	-12.1	-19.5	-32.5	-41.6	-48.5	-54.0	-71.7	-89.6	-107.7	-131.5	-149.6
	$\phi=60$	-11.0	-17.4	-28.9	-37.2	-43.8	-49.1	-66.4	-84.3	-102.3	-126.1	-144.2
	$\phi=70$	-10.2	-15.7	-25.1	-32.2	-38.0	-42.9	-59.4	-77.0	-94.9	-118.8	-136.8
T31 = .75	$\phi=30$	-14.8	-24.2	-39.8	-49.8	-57.1	-62.8	-80.8	-98.8	-116.8	-140.7	-158.8
	$\phi=40$	-13.3	-21.8	-36.4	-46.2	-53.4	-59.1	-76.9	-94.9	-113.0	-136.9	-154.9
	$\phi=50$	-12.0	-19.5	-32.9	-42.2	-49.2	-54.8	-72.5	-90.5	-108.5	-132.4	-150.5
	$\phi=60$	-11.0	-17.4	-29.0	-37.6	-44.3	-49.7	-67.2	-85.1	-103.1	-127.0	-145.0
	$\phi=70$	-10.2	-15.6	-25.1	-32.3	-38.3	-43.3	-60.1	-77.8	-95.8	-119.6	-137.7
T31 = 1.0	$\phi=30$	-14.8	-24.3	-39.9	-50.0	-57.3	-63.0	-80.9	-99.0	-117.0	-140.9	-159.0
	$\phi=40$	-13.3	-21.8	-36.6	-46.3	-53.6	-59.2	-77.1	-95.1	-113.2	-137.0	-155.1
	$\phi=50$	-12.0	-19.5	-32.9	-42.3	-49.4	-54.9	-72.7	-90.7	-108.7	-132.6	-150.7
	$\phi=60$	-11.0	-17.3	-29.1	-37.7	-44.4	-49.8	-67.4	-85.3	-103.3	-127.2	-145.2
	$\phi=70$	-10.2	-15.6	-25.1	-32.4	-38.4	-43.4	-60.3	-78.0	-96.0	-119.8	-137.9

表3 3次フィルタについて $N=1$ とした相対スプリアス・ゲイン

上の表は有用な設計ツールで、PLLのロックアップ時間が最小になるような適正レベルのスプリアス減衰度を得るには、位相余裕度、T31の値、あるいはループ・フィルタをどのように調整すればよいかわかります。

結論

本章では2次より高次のループ・フィルタの効果と、どのような場合それらを用いるのが適切かを調べました。1つの基本的な結果は、極周波数比を1に設定するとリファレンス・スプリアスが最小になることです。これは理論的な結果ですが、VCOの前段の容量が非常に小さくなってしまいます。改良された計算法を用いて4次フィルタを設計すると、 $C4=0$ になるでしょう。フィルタリングすべきスプリアスがループ帯域幅の1/10より低い状況では、ファーストロック機能を使用するとより効果的です。

12. ファーストロック機能を使用した PLL 設計

はじめに

PLL 設計では、周波数切換時間の高速化とリファレンス・スプリアスの低減はトレード・オフの関係があります。ループ帯域幅を高くすると、ロックアップ時間はよくなりますが、スプリアスは悪化します。ループ帯域幅を低くすると、スプリアスはよくなりますが、ロックアップ時間は長くなります。ファーストロックのコンセプトは、周波数を切り替えるときにループ帯域幅を広げ、周波数を切り替えないうちはループ帯域幅を狭くすることです。ファーストロックはまた、ロックアップ時間と RMS 位相ノイズがトレード・オフ、あるいはロックアップ時間とループ帯域外の位相ノイズがトレード・オフの関係がある場合でも使えます。

ファーストロックの定義

ファーストロックは、一般に 2 次フィルタのことを指します。もっと高次のループ・フィルタ設計でも使えますが、極周波数比(T31、T43 など)を小さくする必要があります。そうしておかないと、広帯域のループ帯域幅に切り換えたとき、フィルタがまったく最適化されていない状態になりロックアップ時間が長くなるからです。このため、本章では 2 次フィルタ設計についてファーストロックを利用することに焦点を合わせます。

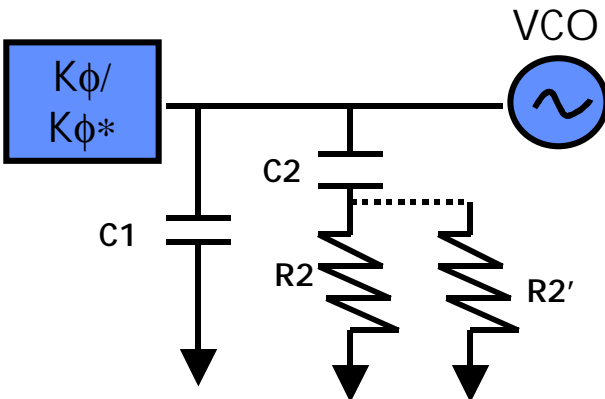


図1 ファーストロックを用いる 2 次フィルタ

PLL が同期状態にあるとき、チャージ・ポンプ・ゲインに $K\phi$ を用い、抵抗 $R2'$ はループ・フィルタに付加されていません。PLL が周波数を切り替えるとき、チャージ・ポンプ・ゲインは $K\phi^*$ に対し M^2 倍増加します。抵抗 $R2'$ は $R2$ に並列に追加されて、全抵抗は $R2^* = R2 \parallel R2' = R2/M$ になります。繰り返しになりますが、2 次フィルタループ・フィルタ・インピーダンスは次のように与えられます。

$$Z(s) = \frac{1 + s \cdot C2 \cdot R2}{s \cdot (C1 + C2) \cdot \left(1 + s \cdot \frac{C1 \cdot C2 \cdot R2}{C1 + C2}\right)} = \frac{1 + s \cdot T2}{s \cdot Ctot \cdot (1 + s \cdot T1)} \quad (1)$$

$$T2 = R2 \cdot C2$$

$$T1 = \frac{R2 \cdot C2 \cdot C1}{Ctot}$$

$$Ctot = C1 + C2$$

	標準モード	ファーストロック・モード
M	$\sqrt{\frac{K\phi^*}{K\phi}}$	$\sqrt{\frac{K\phi^*}{K\phi}}$
R2'	$\frac{R2}{M-1}$	$\frac{R2}{M-1}$
等価抵抗, R2*	R2	$\frac{R2}{M}$
チャージ・ポンプ・ゲイン	K ϕ	K ϕ^*
ゼロ点 T2	T2	$\frac{T2}{M}$
極 T1	T1	$\frac{T1}{M}$
ループ帯域幅	ωc	M • ωc
ロックアップ時間の理論値	LT	$\frac{LT}{M}$

図1 標準モードとファーストロック・モードとの間のフィルタ・パラメータの比較

表1から、チャージ・ポンプ電流が通常 1mA で 4mA に切り換わり M=2 ならば、ロックアップ時間は理論上は 50%速くなります。これについてももう 1 つ別の面から考えると、ループ帯域幅は元の値の半分にすることができ、リファレンス・スプリアスは理論上は 12dB 改善されます。しかしこれは、ファーストロック・モードから復帰するとグリッチが発生し、このグリッチがロックアップ時間をたいへん長くする点を見逃しています。

ファーストロックからの復帰時のグリッチ

グリッチの原因とその動き

ファーストロックから復帰するとき、グリッチが発生します。このグリッチは抵抗 R2'を切り離すスイッチの寄生容量によって生じたり、またチャージ・ポンプからも出てくることがあります。グリッチの大きさはループ・フィルタやアプリケーションに応じて決まります。しかし、ループ帯域幅を固定すると、グリッチはチャージ・ポンプ・ゲインに反比例します。実験結果を見ると、比 M はこのグリッチにはあまり影響がなく、定常状態で使われるチャージ・ポンプ・ゲインのみが影響があることがわかります。たとえば、チャージ・ポンプ・ゲインは標準モードで 100 μ A、ファーストロック・モードで 800 μ A とすると、ファーストロックから外れることで生じるグリッチは、ファーストロック・モードで電流を 100 μ A から 1600 μ A に増加させる場合と同じです。

グリッチはまた、ループ帯域幅が狭くなると小さくなります。このためいくつかの予期しない結果が得られます。たとえば、ファーストロックを使うループ帯域幅 2kHz のループ・フィルタはループ帯域幅 4kHz のフィルタの 2 倍の時間かかって同期すると考えられます。しかし、これよりは短くなる場合があります。なぜなら、2kHz のループ・フィルタの方がファーストロック・グリッチが小さいからです。ループ帯域幅が狭くなると、グリッチも同様に小さくなります。言いかえると、4kHz ループ帯域幅のフィルタは 2kHz のループ・フィルタより高速に同期しますが、2 倍までは高速化されないかもしれません。

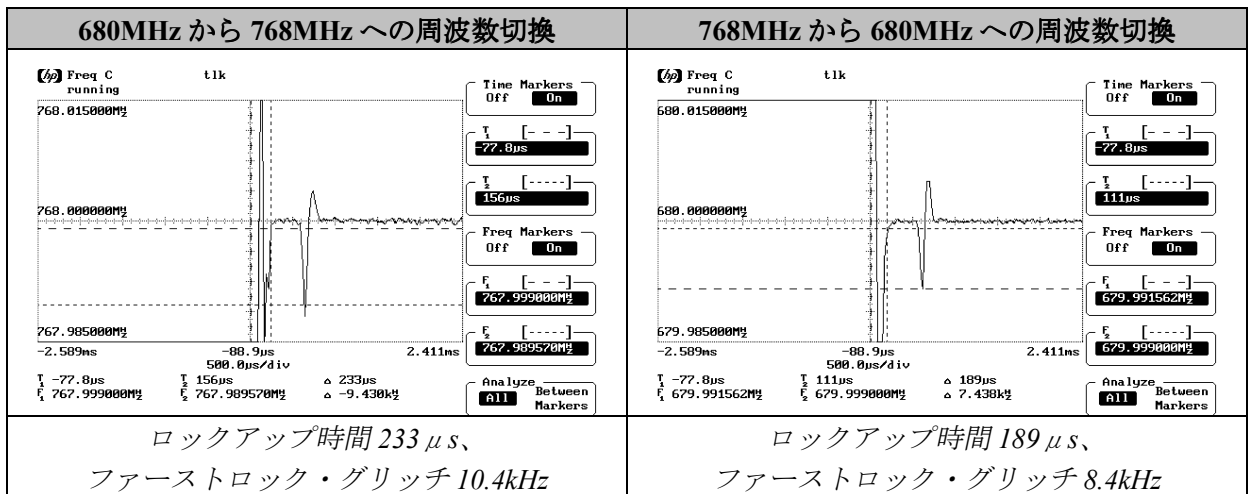


図 1 ファーストロック・モード切替時のグリッチ

ファーストロック・モード切替の最適タイミング

最適ロックアップ時間では、ファーストロック・モードは、このグリッチの大きさが PLL の過渡応答でのリングングの大きさ程になるような時間にモードを切り換えるべきです。ファーストロック・モードからあまり早く復帰すると、ファーストロックの利点を十分生かせません。ファーストロック・モードから復帰するのがあまり遅いと、グリッチの整定時間がロックアップ時間に占める割合が大きくなり過ぎます。図 2 はファーストロック・グリッチを考慮したロックアップ時間を示したものです。

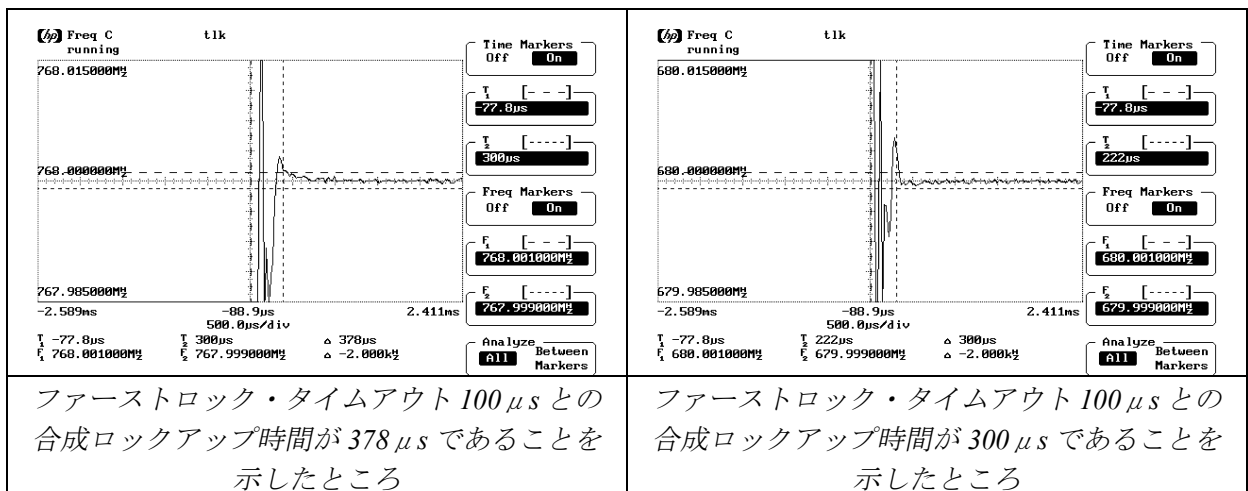


図 2 100 μ s の復帰時間を最適化したファーストロックの場合のロックアップ時間

ファーストロックを使う場合の欠点

帯域内位相ノイズの増大

ファーストロックは周波数切り換え時に高電流をスイッチする必要があるため、PLL は最大電流モードより小さい電流設定で動作する必要があります。位相ノイズの章で述べたように、通常チャージ・ポンプ・ゲインを大きくするほど、帯域内位相ノイズがよくなります。

より高次のループ・フィルタ

ファーストロックを使う別の欠点は、3 次以上のフィルタを作ると多くの利点があっても、ファーストロックさせるとうまく機能しない傾向があることです。したがって、ファーストロックは高次フィルタのメリットがあまりない場合、最も有効です。

ファーストロックを使う利点

$M = \sqrt{\frac{K\phi^*}{K\phi}}$	ループ帯域幅の増加	ロックアップ時間低減の理論値	R2'
2:1	2 X	50 %	R2
3:1	3 X	67 %	$\frac{R2}{2}$
4:1	4 X	75 %	$\frac{R2}{3}$
M:1	M X	$100 \cdot \left(1 - \frac{1}{M}\right) \%$	$\frac{R2}{M-1}$

表 2 ファーストロックを使う理論上の利点

表 2 でのファーストロックを使う理論上の利点は、期待される改善量の上限值を示すことができる点にあります。なぜなら、ファーストロック・モードから復帰する際に生じるグリッチを無視しているからです。一般的には、チャージ・ポンプ電流が 1X から 4X(M=2)に増えるファーストロックのタイプで、ファーストロックを使う利点は一般に約 30%です。チャージ・ポンプ電流が 1X から 16X (M=4) に増えるファーストロックのタイプでは、ファーストロックを使う利点は一般に約 50%近い改善が見られることです。これら一般的な値はナショナル セミコンダクター社製の PLL シリーズ、LMX233X および LMX235X に基づいています。

結論

ファーストロックは、最も問題のあるスプリアスのオフセット周波数がループ帯域幅の 10 倍以下であるようなアプリケーションで最も効果があります。このような場合、より高次のフィルタを使ってもあまり適切ではなく、スプリアスに対してもあまり効果がありません。スプリアスのオフセット周波数が搬送波から離れるほど、高次フィルタが実際的になります。

ファーストロックの使用でよく見落とされるもう 1 つの問題は、ファーストロックからの復帰時に生じるグリッチです。これはアプリケーションに固有ですが、ロックアップ時間の大きな割合を占めることがあります。

参考文献

- [1] Davis, Craig, et.al. *A Fast Locking Scheme for PLL Frequency Synthesizers. National Semiconductor AN-1000*

13. 高電圧制御フィルタの簡単な方法

広帯域周波数同調器アプリケーションの多くでは、PLL が発生できる制御電圧より高い電圧を供給する必要があります。このためループ・フィルタにアクティブ・デバイスが必要になります。これらアクティブ・デバイスを使うとノイズが発生しますので、このノイズの影響を最小限にすることが重要です。オペアンプのノイズを下げるため、オペアンプの次段に 3 番目の極をおきます。本章では考えられるトポロジを示し AN-1001 を用いてループ・フィルタの回路定数を計算できることを示します。

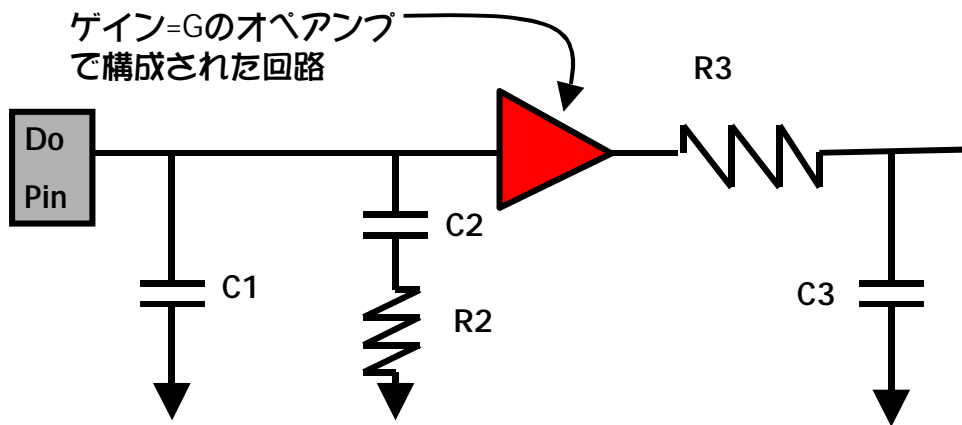


図1 アクティブ・ループ・フィルタのトポロジ

AN-1001 の方法および用語にしたがうと、このフィルタのインピーダンスは次のようになります。

$$\frac{V_{\text{tune}}}{I_{\text{do}}} = \frac{(1+s \cdot T2)}{s \cdot C1 \cdot (1+s \cdot T1)} \cdot \frac{T1}{T2} \cdot \frac{G}{1+s \cdot T3} \quad (26)$$

開ループ・ゲインは次式で与えられ、

$$G(s) \cdot H(s) = \frac{-K_{pd} \cdot K_{vco} \cdot (1+j\omega \cdot T2)}{\omega^2 \cdot C1 \cdot N \cdot (1+j\omega \cdot T1)} \cdot \frac{T1}{T2} \cdot \frac{G}{(1+j\omega \cdot T3)} \quad (27)$$

ループ・フィルタにアクティブ・デバイスがなかった場合に行ったように、数学的に近似する必要はない点に注意ください。また、この公式は係数 G を除くと(26)と同じです。すべての回路定数の値がこの式から計算できますので、回路定数は、VCO についてももとのゲインがオペアンプ段のゲイン倍されているとして設計しているのとまったく同じになります。オペアンプとして選べるものには、LM6132/6142、LM833 などがあります。オペアンプを反転動作構成で使う場合は、位相比較器の極性を反対にしなければなりません。オペアンプを使うと R3 と C3 がフィルタの負荷になる問題を回避できるので、容量 C3 は C1/10 より大きく選ぶことができます。このため VCO 入力容量と R3 の熱雑音の影響を小さくできます。

参考文献

- [1] Keese, William O. *An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump Phased Locked Loops (AN-1001)*

14. ϕ_r および ϕ_p 端子を用いるループ・フィルタの設計

はじめに

本章では位相比較器の差動出力 ϕ_r および ϕ_p を用いたループ・フィルタ設計と設計されたフィルタの動作について調べます。 ϕ_r と ϕ_p については前章で論じました。このトポロジはチャージ・ポンプをバイパスし、チャージ・ポンプの性能が悪い PLL で使用するとき最も利点を発揮します。出力電流がうまく均衡しリークが少ないチャージ・ポンプを使った PLL では、チャージ・ポンプ出力を使った他のアクティブ・ループ・フィルタのトポロジを推奨します。アクティブ・フィルタを使うのは、一般には VCO の制御電圧を大きくするためです。

ループ・フィルタ・トポロジ

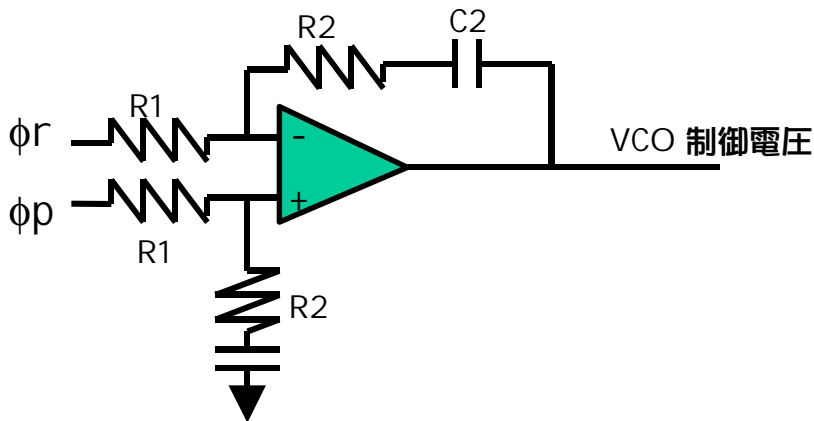


図1 使用するアクティブ・フィルタのトポロジ

フィルタのインピーダンスは次のようになります。

$$Z(s) = \frac{1 + s \cdot T2}{s \cdot T1}$$

ここで、

$$T2 = R2 \cdot C$$

$$T1 = R1 \cdot C$$

開ループ応答は、

$$G(s) \cdot H(s) = \frac{K\phi \cdot K_{vco} \cdot (1 + s \cdot T2)}{N \cdot T1 \cdot s^2}$$

位相余裕度を ϕ とすると、

$$\omega c \cdot T2 = \tan \phi$$

ここで ωc は閉ループ帯域幅すなわち開ループ応答が 1 になる周波数です。この式を前の式に代入すると次式が得られます。

$$T1 = \frac{K\phi \cdot K_{vco}}{N \cdot \omega c^2 \cdot \cos \phi}$$

したがって、容量を選ぶと、抵抗は時定数 T1 および T2 で決まります。

$$R1 = \frac{T1}{C}$$

$$R2 = \frac{T2}{C}$$

過渡応答

このフィルタの過渡応答は、N 分周器の分周比を変えて周波数シンセサイザがある周波数から別の周波数に遷移するのに要する時間で表されます。この時間を計算するため、閉ループ応答特性にステップ応答をかけます。これは従来の 2 次モデルを表します。このループ・フィルタのトポロジでは、2 次モデルで正確なモデルになり近似ではありません。固有周波数と減衰係数のこれらの値は、本書の前半でロックアップ時間を求めた章で説明した 2 次モデルに代入することができます。

閉ループ応答は次のようになります。

$$\frac{K\phi \cdot Kvco \cdot (1 + s \cdot T2)}{N \cdot T1} \cdot \frac{1}{s^2 + s \cdot \frac{K\phi \cdot Kvco \cdot T2}{N \cdot T1} + \frac{K\phi \cdot Kvco}{N \cdot T1}}$$

従来の制御理論を用いてゼロ点の効果を無視すると、過渡応答は次のように表されます。ゼロ点はオーバーシュートに対し大きな影響がありますが、ロックアップ時間にはほとんど影響ありません。

$$\eta = \frac{\omega n \cdot R2 \cdot C}{2}$$

$$\omega n = \sqrt{\frac{K\phi \cdot Kvco}{N \cdot C \cdot R1}}$$

結論

位相比較器の差動出力を使うオペアンプ設計についての設計方程式を示しました。アクティブ・ループ・フィルタ設計には別の方法もありますが、多くのユーザはこの特別な場合の設計の方がなじみがあるので、こちらの方が好まれます。また、出力の状態にも注意した方がよいでしょう。たとえば、このタイプのループ・フィルタをナショナルセミコンダクター社の LMX2301/05/20/25 PLL と併用するときは、 ϕ_r と ϕ_p を反対にする必要があります。

参考文献

- [1] AN535 *Phase-Locked Loop Design Fundamentals* Motorola Semiconductor Products, 1970

オペアンプ・フィルタ設計

以下の値を入力します。

$$K_{vco} := 10 \cdot \frac{\text{MHz}}{\text{volt}}$$

制御定数の入力

$$K\phi := 4 \cdot \text{volt}$$

位相比較器ゲイン。2*πで割りません。

$$F_{out} := 700 \cdot \text{MHz}$$

RF出力周波数。√(Fmax+Fmin)に等しい値を選択。

$$F_{comp} := 100 \cdot \text{kHz}$$

比較周波数

$$F_c := 2 \cdot \text{kHz}$$

ループ帯域幅の選択

$$\phi := 45 \cdot \text{deg}$$

度単位の位相余裕度

計算

$$N := \frac{F_{out}}{F_{comp}}$$

$$N = 7 \cdot 10^3$$

$$\omega_c := 2 \cdot \pi \cdot F_c$$

$$C := 200 \cdot \text{pF}$$

$$T2 := \frac{\tan(\phi)}{\omega_c}$$

$$T1 := \frac{K\phi \cdot K_{vco}}{N \cdot \omega_c^2 \cdot \cos(\phi)}$$

$$R1 := \frac{T1}{C}$$

$$R2 := \frac{T2}{C}$$

回路定数の計算

$$R1 = 255.875 \cdot \text{k}\Omega$$

$$R2 = 397.887 \cdot \text{k}\Omega$$

$$C = 200 \cdot \text{pF}$$

ループ・パラメータの定義

$$Z(\omega) := \frac{1 + C \cdot R2 \cdot i \cdot \omega}{R1 \cdot i \cdot \omega \cdot C}$$

ループ・フィルタ・インピーダンス

$$G(\omega) := \frac{K\phi \cdot K_{vco} \cdot Z(\omega)}{i \cdot \omega}$$

順方向ループ・ゲイン

$$CL(\omega) := \frac{G(\omega)}{1 + \frac{G(\omega)}{N}}$$

閉ループ・ゲイン

$$CL(S) := \frac{G(S)}{1 + H(S) \cdot G(S)}$$

開ループ・ゲインをdB単位で再計算

$$PM(S) := 180 - \left| \arg(OL(S)) \right| \cdot \frac{180}{\pi}$$

ループ帯域幅と位相余裕度

$$\omega := 10.0 \text{ kHz}$$

$$\omega_c := \text{root}(|G(\omega)| - N, \omega) \quad \frac{\omega_c}{2 \cdot \pi} = 2 \text{ kHz}$$

$$\arg(G(\omega_c)) \cdot \frac{180}{\pi} + 180 = 45$$

ループ帯域幅の初期値

ループ帯域幅

位相余裕度

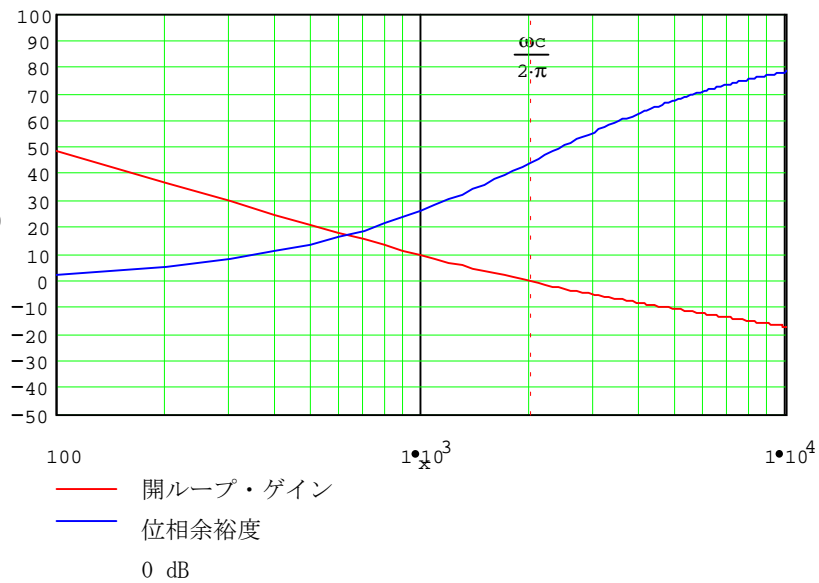
ボード線図の表示

$$x := 1 \text{ Hz}, 100 \text{ Hz} .. \frac{10 \cdot \omega_c}{2 \cdot \pi}$$

$$20 \cdot \log\left(\frac{|G(x \cdot 2 \cdot \pi)|}{N}\right)$$

$$\frac{180}{\pi} \cdot \arg G(x \cdot 2 \cdot \pi) + 180$$

$$0$$



15. Do 端子とオペアンプを使った別のアクティブ・フィルタ設計

はじめに

この方法は、電圧チャージ・ポンプを使用した古いアプリケーション・ノートに述べられている方法に似ていることもあってよく使われています。また、この方法では、チャージ・ポンプの出力に電源電圧の半分のバイアス電圧を加えることができます。このようにすると、チャージ・ポンプがうまくバランスがとれスプリアスが低くなります。

本章では、2つの異なる方法を説明します。どちらもオペアンプの出力範囲まで電圧を振ることができます。最初に示す方法は、単純で本書の最初の方で説明したのとまったく同じ設計方程式を用いる利点があります。第2の方法も示しますが、トポロジが同じなので用いられるもので、回路容量をより簡単に求めることができます。

回路図

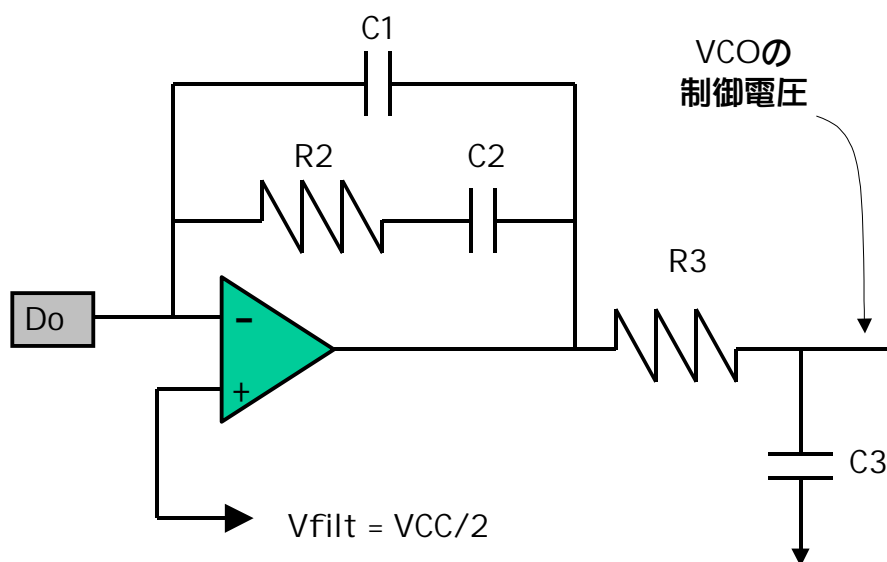


図1 第1の方法のアクティブ・フィルタ

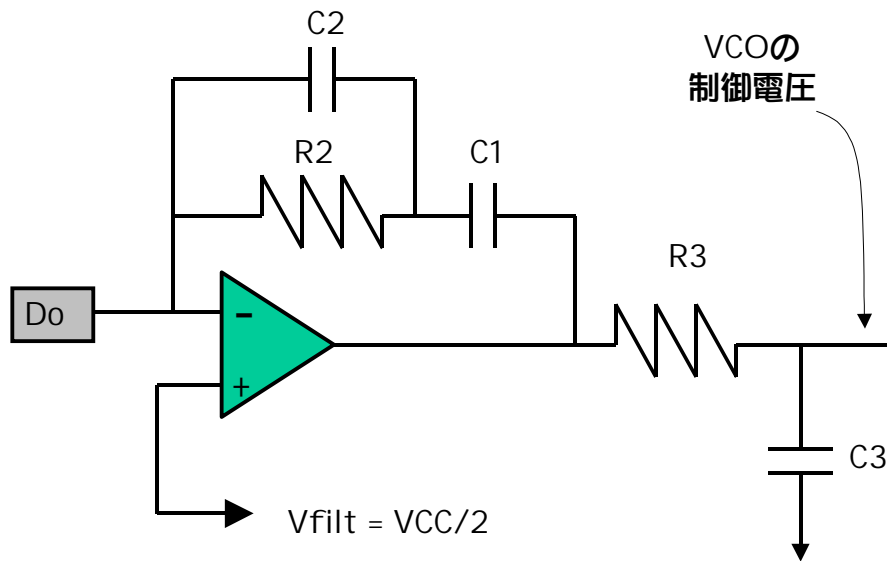


図2 第2の方法のアクティブ・フィルタ

回路定数の解

Vfilt

Vfilt は、抵抗分圧器を使って Vcc/2 と等しくします。このように値を選ぶのは、チャージ・ポンプの出力電流不均衡を最小にする必要があるためです。

伝達関数

どのフィルタ・トポロジを選択するかにかかわらず、伝達関数は同じ形に表せます。図1のトポロジの場合、

$$Z(s) = \frac{1 + s \cdot C2 \cdot R2}{s \cdot C1 \cdot (1 + s \cdot C2 \cdot R2) \cdot (1 + s \cdot C3 \cdot R3)} = \frac{1 + s \cdot T2}{s \cdot C1 \cdot (1 + s \cdot T1) \cdot (1 + s \cdot T3)} \cdot \frac{T1}{T2}$$

図2のトポロジの場合、

$$Z(s) = \frac{1 + s \cdot (C2 \cdot R2 + C1 \cdot R2)}{s \cdot C1 \cdot (1 + s \cdot C2 \cdot R2) \cdot (1 + s \cdot C3 \cdot R3)} = \frac{1 + s \cdot T2}{s \cdot C1 \cdot (1 + s \cdot T1) \cdot (1 + s \cdot T3)}$$

これは AN-1001 の伝達関数とまったく同じですが、時定数は違います。これは、双対性により、時定数の解を求め、次に回路定数を求めることができることを意味します。PLL 設計の高精度な方程式の章と AN-1001 とから、

$$T1 = \frac{\sec\phi - \tan\phi}{\omega c \cdot (1 + T31)}$$

$$T3 = T1 \cdot T31$$

$$T2 = \frac{1}{\omega c^2 \cdot (T1 + T3)}$$

$$C3 = \frac{C1}{3}$$

実際には、上の式は設計の目安にしかすぎません。オペアンプがあるので、VCO 入力容量の影響と R3 の熱雑音を最小限にするように、C3 はより大きい値を選んでもよいでしょう。

$$R3 = \frac{T3}{C3}$$

上の式はどちらのフィルタ・トポロジにも当てはまります。図 1 のトポロジに固有の式を以下に示します。

$$C1 = \frac{T1}{T2} \cdot \frac{K\phi \cdot Kvco}{N} \cdot \sqrt{\frac{1 + (\omega c \cdot T2)^2}{(1 + (\omega c \cdot T1)^2) \cdot (1 + (\omega c \cdot T3)^2)}}$$

$$C2 = C1 \cdot \left(\frac{T2}{T1} - 1 \right)$$

$$R2 = \frac{T2}{C2}$$

以下には、図 2 のトポロジに固有な式を示します。これらは連立方程式を解くと得られます。

$$C1 = \frac{K\phi \cdot Kvco}{N} \cdot \sqrt{\frac{1 + (\omega c \cdot T2)^2}{(1 + (\omega c \cdot T1)^2) \cdot (1 + (\omega c \cdot T3)^2)}}$$

$$R2 = \frac{T2 - T1}{C1}$$

$$C2 = \frac{T1}{R2}$$

結論

アクティブ・フィルタについて 2 つのループ・フィルタ・トポロジを示しました。これら 2 つの方法は、オペアンプの動作点をチャージ・ポンプの供給電圧の中心にして、最適なスプリアス特性が得られるという利点があります。これらの方法のうちいずれを選択するかは、必要な容量の大きさによります。これらの方法どちらでも C1、C3、R3 については同じ回路定数の値が得られますが、第 2 の方法では常に、C2 の値はより小さく、また R2 の値はより大きくなります。

Do 端子のあるオペアンプ・フィルタ設計

これらの値を入力します。

$$K_{vco} := 44 \cdot \frac{\text{MHz}}{\text{volt}}$$

ここに制御電圧を入力

$$K_{\phi} := 5 \cdot \text{mA}$$

位相比較器ゲインを入力。2 * π で割りません。

$$F_{out} := 2441 \cdot \text{MHz}$$

RF 出力周波数。√(Fmax*Fmin)に等しく選びます。

$$F_{comp} := 500 \cdot \text{kHz}$$

比較周波数

$$F_c := 20 \cdot \text{kHz}$$

真のループ帯域幅を kHz 単位で入力。Fp は入力しません。

$$\phi := 50 \cdot \text{deg}$$

位相余裕度。デフォルト 50 度

$$T_{31} := .5$$

極 T3 と T1 の比。2 次フィルタでは 0、3 次フィルタでは 1 までの値を選びます。

計算

$$N := \frac{F_{out}}{F_{comp}}$$

$$\omega_c := 2 \cdot \pi \cdot F_c$$

$$T1 := \frac{\frac{1}{\cos(\phi)} - \tan(\phi)}{\omega_c} \cdot \frac{1}{1 + T_{31}}$$

$$T3 := T1 \cdot T_{31}$$

$$T2 := \frac{1}{(\omega_c^2 \cdot (T1 + T3))}$$

得られる値

パラメータ

時定数

$$T1 = 1.931 \cdot 10^{-6} \text{ sec}$$

$$T2 = 2.186 \cdot 10^{-5} \text{ sec}$$

$$T3 = 9.655 \cdot 10^{-7} \text{ sec}$$

$$N = 4.882 \cdot 10^3$$

フィルタの極

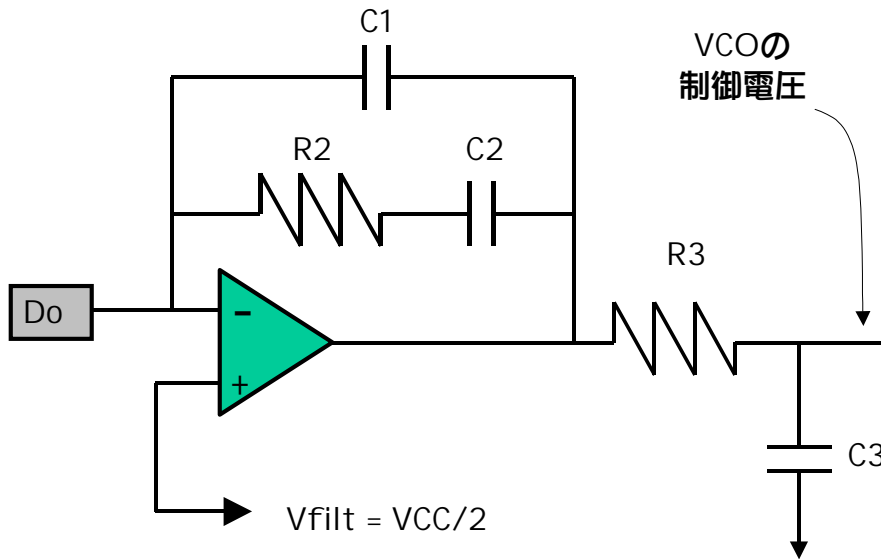
$$\frac{1}{T1 \cdot 2 \cdot \pi} = 82.424 \text{ kHz}$$

$$\frac{1}{T3 \cdot 2 \cdot \pi} = 164.849 \text{ kHz}$$

フィルタのゼロ

$$\frac{1}{T2 \cdot 2 \cdot \pi} = 7.279 \text{ kHz}$$

第1の方法



$$C1 := \frac{K \phi \cdot Kvco \cdot T1}{\omega_c^2 \cdot N \cdot T2} \cdot \frac{1 + (\omega_c \cdot T2)^2}{\sqrt{(1 + (\omega_c \cdot T1)^2) \cdot (1 + (\omega_c \cdot T3)^2)}}$$

$$C2 := C1 \cdot \left(\frac{T2}{T1} - 1 \right)$$

$$R2 := \frac{T2}{C2}$$

$$C3 := \frac{C1}{10}$$

$$R3 := \frac{T3}{C3}$$

回路定数

$$C1 = 710.883 \text{pF}$$

$$C2 = 7.338 \text{nF}$$

$$C3 = 71.088 \text{pF}$$

$$R2 = 2.979 \text{k}\Omega$$

$$R3 = 13.581 \text{k}\Omega$$

ループ・パラメータの定義

$$Z(\omega) := \frac{1 + R2 \cdot C2 \cdot i \cdot \omega}{(1 + i \cdot \omega \cdot T1) \cdot (1 + i \cdot \omega \cdot T3) \cdot i \cdot \omega \cdot (C1 + C2)}$$

$$G(\omega) := \frac{K\phi \cdot Kvco \cdot Z(\omega)}{i \cdot \omega}$$

$$CL(\omega) := \frac{G(\omega)}{1 + \frac{G(\omega)}{N}}$$

ループ・フィルタ・インピーダンス

順方向ループ・ゲイン

閉ループ・ゲイン

帯域幅と位相余裕度

$$\omega := 10.0 \text{ kHz}$$

ループ帯域幅の初期予測値

$$\omega_c := \text{root}(|G(\omega)| - N, \omega) \quad \frac{\omega_c}{2 \cdot \pi} = 20 \text{ kHz}$$

ループ帯域幅

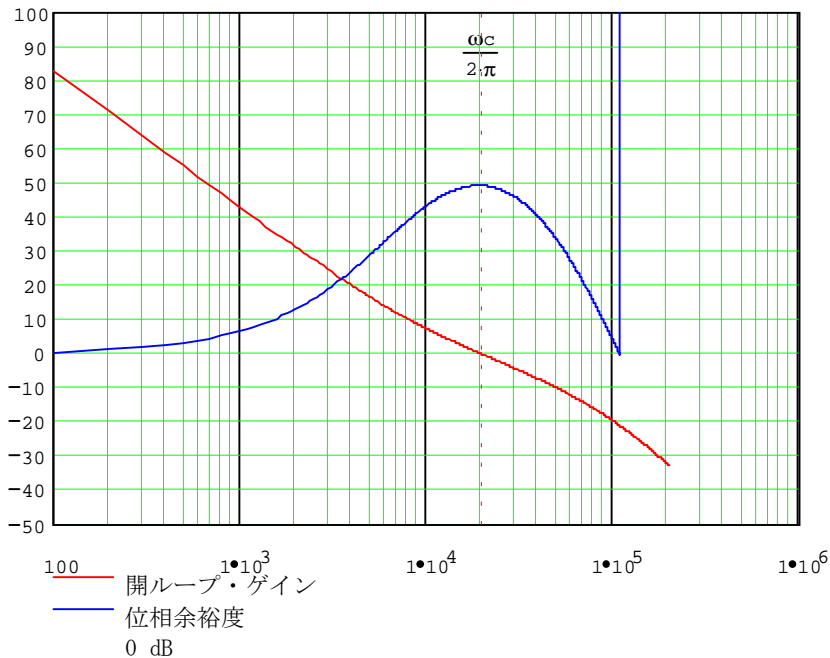
$$\frac{180}{\pi} \cdot \arg(G(\omega_c)) + 180 = 49.443$$

位相余裕度

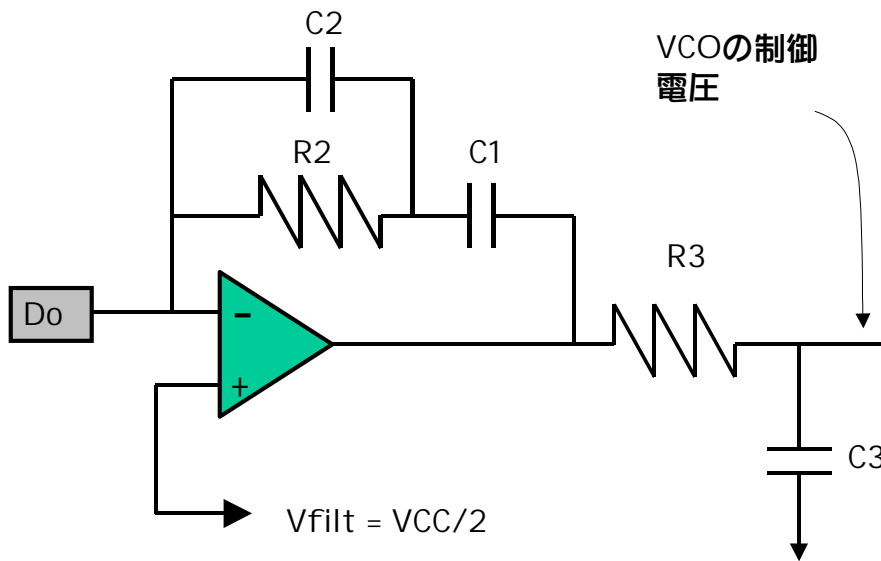
ボード線図の表示

$$x := 1 \text{ Hz}, 100 \text{ Hz} \dots \frac{10 \cdot \omega_c}{2 \cdot \pi}$$

開ループ・ゲインと位相余裕度



第2の方法



$$C1 := \frac{K\phi \cdot Kvco}{\omega_c^2 \cdot N} \cdot \frac{1 + (\omega_c \cdot T2)^2}{\sqrt{(1 + (\omega_c \cdot T1)^2) \cdot (1 + (\omega_c \cdot T3)^2)}}$$

$$R2 := \frac{T2 - T1}{C1}$$

$$C2 := \frac{T1}{R2}$$

$$C3 := \frac{C1}{10}$$

$$R3 := \frac{T3}{C3}$$

回路定数

$$C1 = 8.049 \cdot 10^3 \text{ pF}$$

$$C2 = 0.78 \text{ nF}$$

$$C3 = 804.929 \text{ pF}$$

$$R2 = 2.476 \text{ k}\Omega$$

$$R3 = 1.199 \text{ k}\Omega$$

ループ・パラメータの定義

$$Z(\omega) := \frac{1 + i \cdot \omega \cdot R2 \cdot (C1 + C2)}{i \cdot \omega \cdot C1 \cdot (1 + i \cdot \omega \cdot C2 \cdot R2) \cdot (1 + i \cdot \omega \cdot R3 \cdot C3)}$$

ループ・フィルタ・インピーダンス

$$G(\omega) := \frac{K\phi \cdot Kvco \cdot Z(\omega)}{i \cdot \omega}$$

順方向ループ・ゲイン

$$CL(\omega) := \frac{G(\omega)}{1 + \frac{G(\omega)}{N}}$$

閉ループ・ゲイン

帯域幅と位相余裕度

$$\omega := 10.0 \text{ kHz}$$

ループ帯域幅の初期予測値

$$\omega_c := \text{root}(|G(\omega)| - N, \omega) \frac{\omega_c}{2 \cdot \pi} = 20 \text{ kHz}$$

ループ帯域幅

$$\omega := \omega_c$$

$$\frac{\text{root}(|CL(\omega)| - N, \omega)}{2 \cdot \pi} = 25.555 \text{ kHz}$$

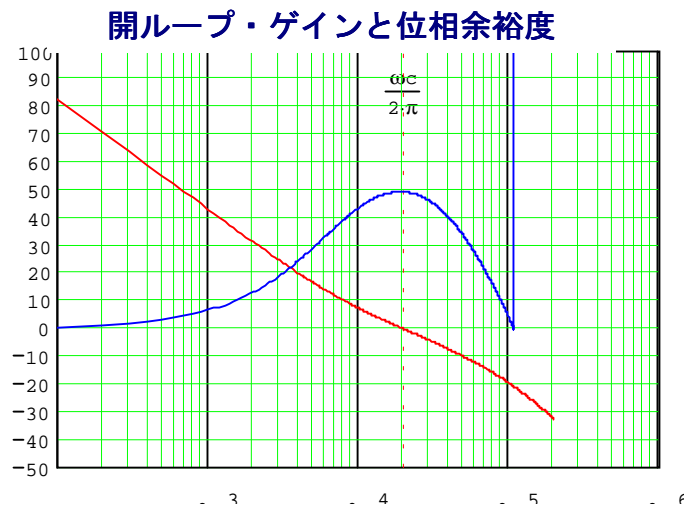
0dB 帯域幅

$$\frac{180}{\pi} \cdot \arg(G(\omega_c)) + 180 = 49.443$$

位相余裕度

ボード線図の表示

$$x := 1 \text{ Hz}, 100 \text{ Hz} \dots \frac{10 \cdot \omega_c}{2 \cdot \pi}$$



16. 高電圧制御フィルタの設計

はじめに

本章では、高電圧制御フィルタの設計について説明します。高電圧とは、PLL の V_p 端子に加えられる電圧より高い任意の電圧とします。この最大定格は 6.5V で製造プロセスにより制限されます。しかし、同調範囲が広帯域なアプリケーションや位相ノイズ特性をよくするため VCO に高電圧を必要とするアプリケーションには、このように電圧を高くすることが望ましい場合があります。ループ・フィルタにどのようなアクティブ・デバイスを挿入してもノイズが混入します。 V_{pp} は、高くなった電圧を示し、30V に達することもあります。

回路トポロジ

この設計では Do 端子を使い、PLL の ϕ_r および ϕ_p 出力は必要としません。これを示したものが以下の図です。オプションの 20k Ω 抵抗を使うと位相ノイズが下がることがあります。

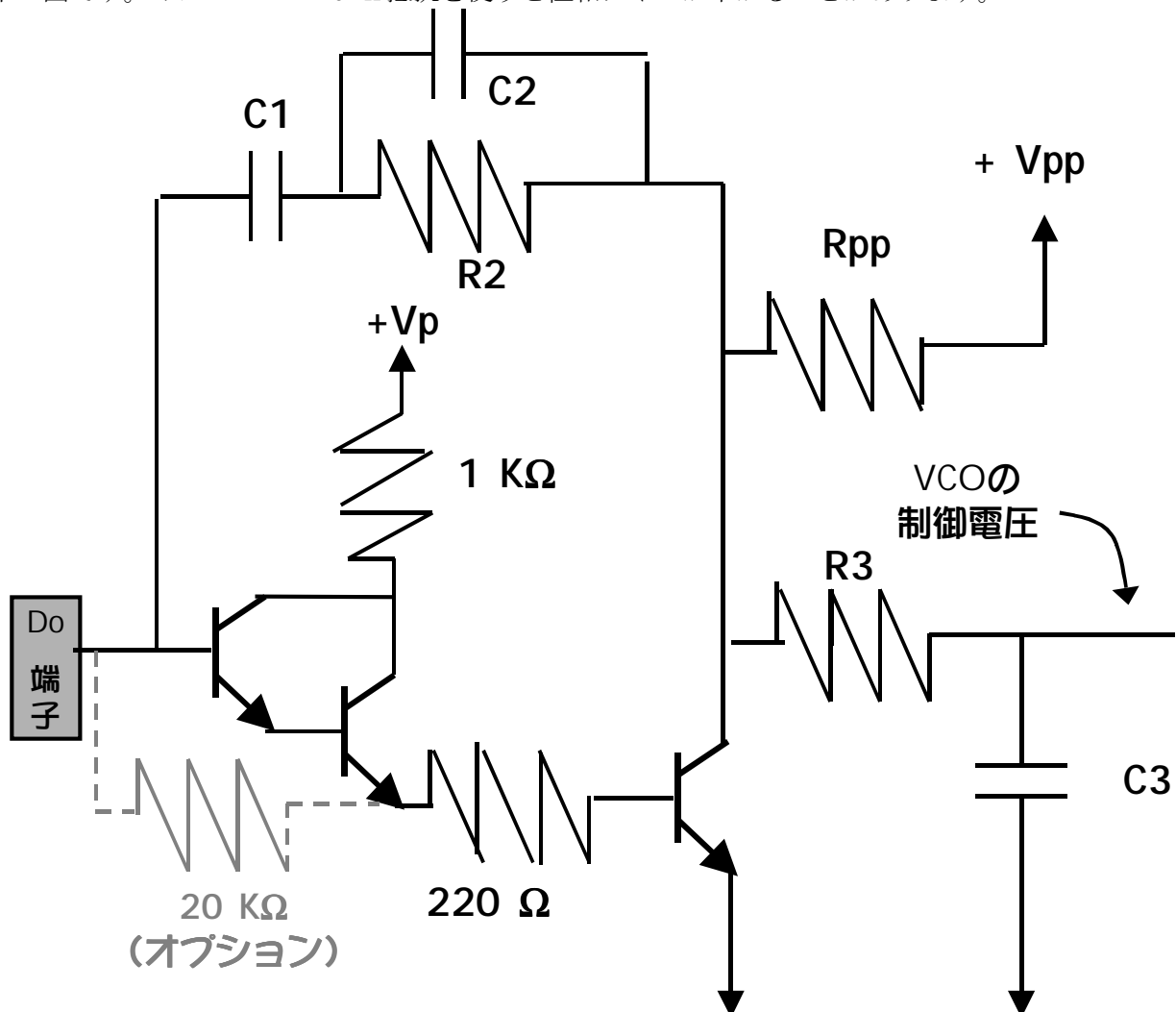


図1 アクティブ・フィルタ・トポロジ

開ループ・ゲインを表す式を以下に示します。

$$G(s) \cdot H(s) = \frac{-K\phi \cdot K_{vco} \cdot (1+s \cdot T1)}{\omega^2 \cdot N \cdot C1 \cdot (1+s \cdot T2) \cdot (1+s \cdot T3)}$$

ここで

$$T1 = (C1 + C2) \cdot R2$$

$$T2 = C2 \cdot R2$$

$$T3 = R3 \cdot C3$$

この式は次のような入れ替えを行うと AN-1001 の(20)と同じであることに注意ください。

$$T1 \implies T2 \qquad T2 \implies T1 \qquad T3 \implies T3$$

$$K_{vco} = K_{vco} \bullet T1/T2 \implies K_{vco} \bullet T2/T1$$

ここで、太字のイタリック体は、AN-1001 で用いられた記号を表しています。AN-1001 で上式それぞれの右辺で太字のイタリック体の記号を見つけます。次に、式の左辺部を代入します。これで正しい結果が得られますが、時定数には回路定数の点から別の定義があると理解しておく必要があります。したがって、回路定数を求めるときは、本章の定義を用いなければなりません。双対性から、AN-1001 とフィルタ設計の章で使われたのと同じ式を用いて、次のような式が得られます。

$$T2 = \frac{\sec\phi - \tan\phi}{\omega c} \cdot \frac{1}{1+T32}$$

$$T3 = T2 \cdot T32$$

$$T1 = \frac{1}{\omega c^2 \cdot (T2+T3)}$$

$$C1 = \frac{K\phi \cdot K_{vco}}{\omega c^2 \cdot N} \cdot \sqrt{\frac{1+\omega c^2 \cdot T1^2}{(1+\omega c^2 \cdot T2^2) \cdot (1+\omega c^2 \cdot T3^2)}}$$

$$C2 = \frac{T2}{T1-T2} \cdot C1$$

C3 の値は、VCO 入力容量と R3 の熱雑音との影響が小さくなるように選びます。

$$C3 = \frac{C1}{3} \quad (\text{この式は C3 を決める際の設計上の目安に過ぎません。選択は任意です。})$$

$$R2 = \frac{T2}{C2}$$

$$R3 = \frac{T3}{C3}$$

これらの式で、Rpp を除く回路定数が完全に決まります。Rpp の働きが何かは、明白ではありません。Rpp は追加電流を供給し、また使われているトランジスタにも依存するかもしれません。手始めに、Rpp=10kΩ としてみます。Rpp を大きくしすぎると、回路が不安定になり、搬送波が周波数スペクトラムの周囲を動き回ります。Rpp を小さくしすぎると、電流を消費し過ぎてしまいます。高電圧 Vpp は Rpp を通して接地される点に注意ください。

減衰率と固有周波数も同様に計算できます。

$$\omega_n = \sqrt{\frac{K\phi \cdot Kvco}{N \cdot C1}} \quad \xi = \frac{R2 \cdot (C1 + C2)}{2} \cdot \sqrt{\frac{K\phi \cdot Kvco}{N \cdot C1}}$$

結論

ここでは高電圧制御フィルタの設計を示しました。コストとフィルタのノイズを下げるためには、オペアンプではなくトランジスタを使います。パッシブ・フィルタと同じようにパラメータを定義すると、すべての回路定数を決めることができます。この設計は実際にはあまり使われませんし、いくつかのオペアンプ設計ほど直感的に理解もできません。しかし、この回路は実際に使われています。さらに工夫すれば、この回路によって低コストで低ノイズを得られます。

高電圧 PLL 設計

以下の値を入力する必要があります。

$K_{vco} := 12 \cdot \frac{\text{MHz}}{\text{volt}}$	VCO の制御計数を入力します。
$K_{\phi} := 1 \cdot \text{mA}$	位相比較器ゲインを入力します。2*πでは割りません。
$F_{out} := 150 \cdot \text{MHz}$	RF 出力周波数。√(Fmax*Fmin)と等しく選びます。
$F_{comp} := 500 \cdot \text{kHz}$	比較周波数。
$F_c := 2 \cdot \text{kHz}$	真のループ帯域幅を kHz 単位で入力します。Fp は入力しません。
$\phi := 50 \cdot \text{deg}$	位相余裕度。デフォルト 50 度
$T_3T_2 := .5$	極 T3 と極 T2 の比 2 次フィルタの場合 0、最大値 1
$V_p := 30 \cdot \text{volt}$	Vp の値を入力します。

計算

$$N := \frac{F_{out}}{F_{comp}} \quad \omega_c := 2 \cdot \pi \cdot F_c$$

$$T_2 := \frac{\left(\frac{1}{\cos(\phi)} \right) - \tan(\phi)}{\omega_c} \cdot \frac{1}{1 + T_3T_2} \quad T_3 := T_2 \cdot T_3T_2$$

$$T_1 := \frac{1}{(\omega_c^2 \cdot (T_2 + T_3))} \quad R_p := \frac{V_p}{30 \cdot \text{volt}} \cdot 22 \cdot \text{k}\Omega$$

$$C_1 := \frac{K_{\phi} \cdot K_{vco}}{\omega_c^2 \cdot N} \cdot \left[\frac{1 + \omega_c^2 \cdot T_1^2}{(1 + \omega_c^2 \cdot T_2^2) \cdot (1 + \omega_c^2 \cdot T_3^2)} \right]^{\frac{1}{2}} \quad C_2 := C_1 \cdot \frac{T_2}{T_1 - T_2}$$

$$R_2 := \frac{T_2}{C_2} \quad C_3 := \frac{C_1}{10} \quad R_3 := \frac{T_3}{C_3}$$

計算値

$$C_1 = 714.484 \cdot \text{nF} \quad C_2 = 69.213 \cdot \text{nF} \quad C_3 = 71.448 \cdot \text{nF} \quad R_2 = 0.279 \cdot \text{k}\Omega \quad R_3 = 0.135 \cdot \text{k}\Omega$$

シミュレーション

10Hz~1MHzの5デケードで100ポイントを作成

$j := 20..120$

$x := 10 \cdot \text{Hz}$

$$G(\omega) := \frac{Kvco \cdot K\phi \cdot (1 + \omega \cdot i \cdot T1)}{(\omega \cdot i)^2 \cdot C1 \cdot (1 + \omega \cdot i \cdot T2) \cdot (1 + \omega \cdot i \cdot T3)}$$

$$CL(\omega) := \frac{G(\omega)}{1 + \frac{G(\omega)}{N}}$$

$$\omega_c := \text{root}\left(\left|\frac{G(x)}{N}\right| - 1, x\right)$$

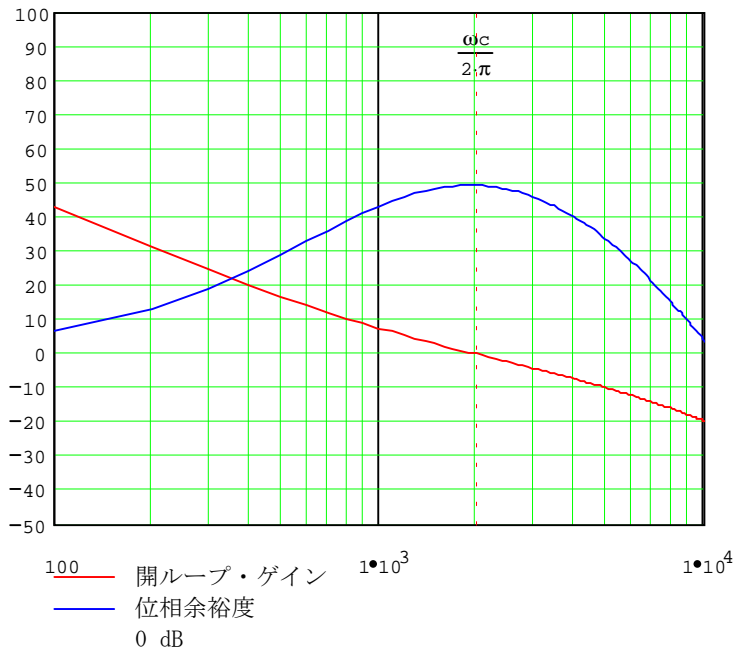
$$\phi := 180 - \left| \arg(G(\omega_c)) \cdot \frac{180}{\pi} \right|$$

$$\omega_n := \sqrt{\frac{K\phi \cdot Kvco}{N \cdot C1}} \quad \zeta := \frac{R2 \cdot (C1 + C2)}{2} \cdot \omega_n$$

計算結果

$$\omega_n = 7.482 \text{ kHz} \quad \zeta = 0.818 \quad \frac{\omega_c}{2\pi} = 1.999 \text{ kHz} \quad \phi = 49.444$$

$$x := 1 \cdot \text{Hz}, 100 \cdot \text{Hz} .. \frac{10 \cdot \omega_c}{2 \cdot \pi}$$



追加トピックス



17. 同期検出回路の構成と解析

はじめに

ナショナルセミコンダクター社の LMX233X を始めとする多くの PLL には、アナログの同期検出端子がありますが、同期しているかどうかを示すロジック・レベルの信号は出力しません。このため、アナログ同期検出回路の信号がロジック回路で判別できるようにするため、外部回路が必要です。本章では、そのような回路の設計とシミュレーションについて検討します。

LMX233X の FoLD 端子を使った同期検出

FoLD 端子に可能な機能の 1 つは、外部回路と連携して PLL が同期しているかどうかを示す安定した信号を発生するために使われる出力を出すことです。FoLD 端子の同期検出モードが選択されていると、FoLD 端子は、ほとんどの時間ハイ状態で、周波数がリファレンス周波数に等しいと幅の狭いパルスが出るような信号を出力します。これらのパルスはチャージ・ポンプへの入力電圧を表し、PLL の ϕ_r および ϕ_p 出力の OR 関数をとることで作り出されます。

PLL が同期状態にあると、これらのパルスは、パルス幅で 25~50ns のオーダーで、この値は所定のアプリケーションでは一定ですが、VCO ゲイン、ループ・フィルタ伝達関数、位相比較器ゲイン、その他の要因に基づいていろいろな値をとります。

PLL が同期状態にないとき、これらのパルス幅の平均値が変わります。PLL が同期状態から外れているという情報は、各パルスの中にはなく、パルス列から計算される平均パルス幅にあります。パルス幅の平均値がどれくらい変動し回路がどれくらい感度があるかをおおまかに推定するため、任意の所定時間でのパルス幅の平均変化量を N カウンタと R カウンタの周期の差で近似することができます。この結果は、位相比較器の性能に関する前の章で説明しました。つまり、次のような関係があります。

$$T_{low} - T_{loc} = \frac{1}{F_{comp}} - \frac{N}{F_{out}} \quad (1)$$

同期検出回路の構成

同期検出回路で本アプリケーション・ノートで検討しているタイプの基本的考え方は、基準周波数の数周期にわたって積分し、DC 値を蓄積して、比較器でしきい値と比較することです。各パルスの平均 DC 値の占める割合は、パルス幅以外の時間と比べてたいへん小さいので、感度を最大にするためには、時定数を不均衡に設定する必要がある場合があります。推奨する回路を以下に示します。PLL の中には、同期出力がオープン・ドレインになっているものもあり、ダイオードの必要がありません。その他、デジタルの同期検出がある PLL もあり、外部の同期検出回路はまったく必要ありません。

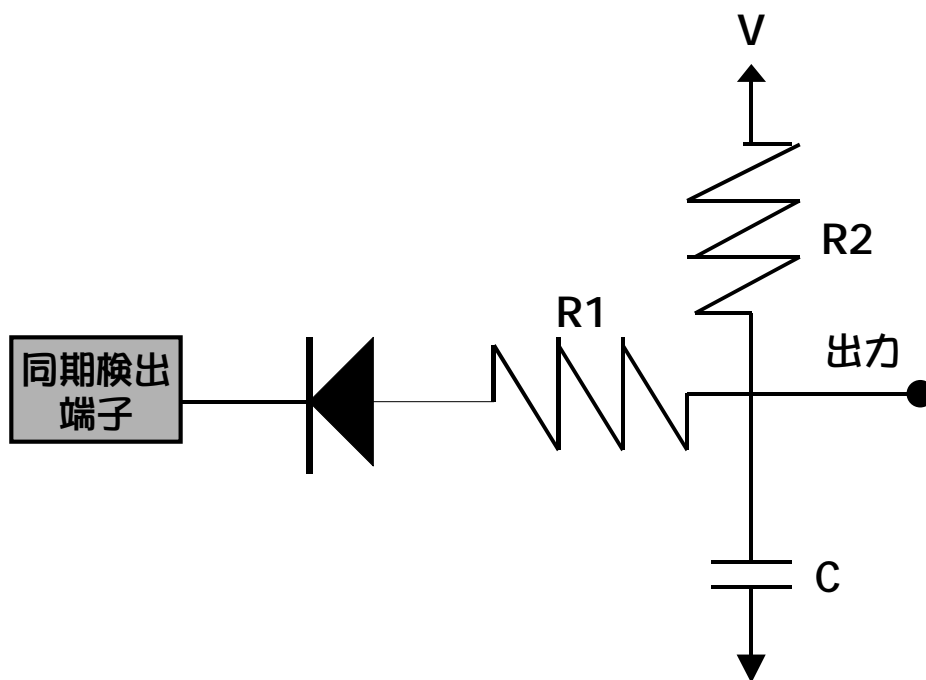


図1 同期検出回路

同期検出回路の理論動作

LD 端子がロー電圧 V_{ol} になると、ダイオードが導通し、 $R2 \gg R1$ ならば次式が成り立ちます。

$$V_{out} = R_1 \cdot C \cdot \frac{\partial V_{out}}{\partial t} \quad (2)$$

これによって次のような解が得られます。

$$V_{n+1} = V_L + (V_n - V_L) \cdot \beta$$

ここで

V_{n+1} = ロー・パルスの終端電圧

V_n = ロー・パルスの開始電圧

$V_L = V_D + V_{ol}$

V_D = ダイオードにかかる電圧降下

V_{ol} = ロー電圧

T_L = ロー・パルスの持続時間

$$\beta = e^{-\frac{T_L}{R1 \cdot C}} \quad (3)$$

同様に、LD 出力がハイになるとき、同じように解析できて、

$$V_{n+1} = V + (V_n - V) \cdot \alpha$$

ここで

V_{n+1} = ハイ・パルスの終端電圧

V_n = ハイ・パルスの開始電圧

T_H = ハイ・パルスの持続時間

$$\alpha = e^{-\frac{T_H}{R1 \cdot C}} \quad (4)$$

$$\alpha = e^{-\frac{T_H}{R2 \cdot C}}$$

帰納法を当てはめると、何サイクルもあとでは、信号出力は V_{High} と V_{Low} の間を振動します。 $V_{high} - V_{low}$ はリップルと呼ばれます。

$$\begin{aligned} V_{High} &= V_L + \frac{(1-\alpha) \cdot (V - V_L)}{1-\alpha \cdot \beta} \\ V_{Low} &= V + \frac{(1-\beta) \cdot (V_L - V)}{1-\alpha \cdot \beta} \end{aligned} \quad (5)$$

同期検出回路の設計

回路設計のためには、次のような情報が必要です。

T_{lock} 同期状態でのパルス幅。これは 4 倍電流モードで 25 ns 程度、1 倍電流モードで 50 ns 程度になるはずです。

T_{switch} 検出されるべき LD パルスの幅

V_{high} 「遷移点」。非同期状態では、最大出力電圧は V_{high} になります。同期状態では、出力電圧はもっと高くなるはずです。

リップル $V_{high} - V_{low}$ 。これは、数百 mV の値になります。リップルが大きすぎるような設計ではノイズの多い回路になり、一方リップルが小さすぎると、 V_{low} と V_{high} の最終整定値に収束するまでの時間が長すぎる回路になります。

V_{high} と V_{low} について上の式を用いると、次式が得られます。

$$\alpha^2 \cdot A + \alpha \cdot B + C = 0$$

where

$$A = K \cdot (V_L - V_{High})$$

$$B = V - V_{High} - K \cdot V_L + K \cdot V_{High} \quad (6)$$

$$C = V_{High} - V$$

$$K = \frac{V - V_{low}}{V_{High} - V_{Low}}$$

$$\alpha = \frac{-B + \sqrt{B^2 - 4 \cdot A \cdot C}}{2 \cdot A}$$

$$\beta = 1 + (\alpha - 1) \cdot K$$

これらの式から、Cを決める必要があります。Cを決めれば、他の回路定数も求まります。

$$R1 = \frac{-T_L}{C \cdot \ln(\beta)}$$

$$R2 = R1 \cdot \frac{\ln \alpha}{\ln \beta} \cdot \frac{T_H}{T_L}$$
(7)

電圧	volts	時間	nS	設計仕様	volts	
Vd	0.7	T _L	55	遷移点(ハイ)	2.1	
Vol	0.5	T _H	1600	リップル電圧	0.1	
V	4.1					
定数		回路定数	pF	計算値		
k	2.3333	C1 選択	220	R1	2.12	kΩ
a	-2.1			R2	149.1	kΩ
c	-2			遷移点(ロー)	2	Volts
α	0.9524					
β	0.8889					

表 1 典型的な同期検出回路設計

設計を終えたあと、同期状態での最低電圧 Vlow(同期時)が非同期状態で得られる最大電圧 Vhigh(非同期時)より高くなることを確認する必要があります。

シミュレーション

この設計のシミュレーションを以下に示します。LD パルスの幅を正確に見積もるのは難しいため、誤差範囲が大きくならざるを得ない点にも注意ください。さらに、次に示すように、システムが最終状態へ整定するには時間がかかります。

パラメータ	Volts	回路定数			時間	nS	定数	Volts	同期時のパラメータ		
Vd	0.7	C	220	pF	T _L	55	α	0.9524	T _{lock}	25	ns
Vol	0.5	R1	2.1	kΩ	T _H	1600	β	0.8888	β _{lock}	0.9478	V
V	2.1	R2	149	kΩ							
Vstart	4.5										
繰り返し回数	Vhigh	Vlow		繰り返し回数	Vhigh	Vlow		同期時のパラメータ			
0	2.5000	2.3554	Volts	8	2.2051	2.0933	Volts	Vhigh Final	2.0996	Volts	
1	2.4385	2.3007	Volts	9	2.1889	2.0789	Volts	Vlow Final	1.9995	Volts	
2	2.3864	2.2545	Volts	10	2.1751	2.0667	Volts	Ripple	0.1001	Volts	
3	2.3424	2.2153	Volts	11	2.1635	2.0564	Volts	Vlock	2.5451	Volts	
4	2.3051	2.1822	Volts	12	2.1537	2.0476	Volts				
5	2.2735	2.1541	Volts	13	2.1454	2.0402	Volts				
6	2.2468	2.1304	Volts	14	2.1384	2.0340	Volts				
7	2.2242	2.1103	Volts	15	2.1324	2.0287	Volts				

表 2 典型的な同期検出回路のシミュレーション

結論

本章では同期検出回路についていくつかの概念を調べました。設計に際しては、パルス幅がどれくらい変化するかある程度把握しておく必要があります。そのような計算のあと、回路定数が求められます。シミュレーションの項で見たように、回路の感度と回路の応答時間との間にはトレード・オフの関係があります。

このような外部回路を不要にするデジタル同期検出機能が付いた PLL もあります。また、出力がオープン・ドレインになっており、ダイオードが不要な PLL もあります。

18. PLLにおけるインピーダンス整合の問題および技法

はじめに

本章では VCO と PLL をインピーダンス整合させる場合の問題について議論します。ほとんどの場合、VCO は 50Ω の出力インピーダンスがあります。しかし、PLL の入力はいわゆる純粋な実数インピーダンスではなく、 50Ω でもありません。本章では、このために引き起こされる課題と問題についていくらか検討し、また一般的なインピーダンス整合の技法を紹介します。PLL が 50Ω に近い入力インピーダンスを持っていない場合、いろいろな種類の混乱が生じます。たとえば、VCO の出力電力レベルは、一般には 50Ω 負荷に対し規定されています。また、PLL の感度をテストするときは、しばしば PLL が 50Ω 負荷であると仮定して電力を計算します。

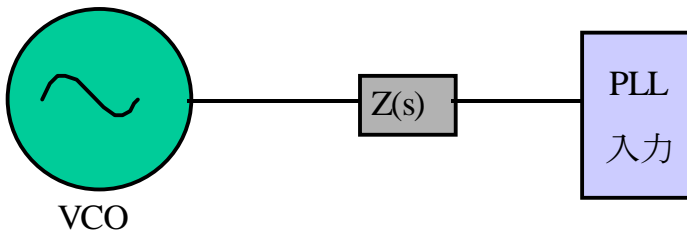


図1 VCO と PLL との間の回路

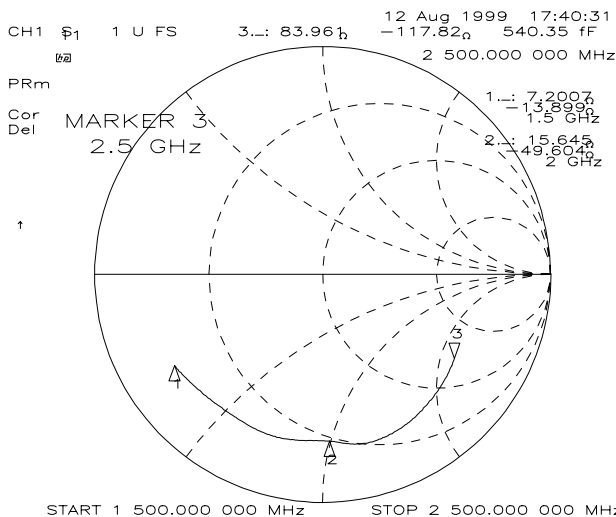


図2 PLL における一般的入力インピーダンスを示すスミス・チャート

図2にの スミス・チャートから、入力インピーダンスは 50Ω からほど遠く、また周波数依存性があることがわかります。非常に一般的なことですが、PLL の入力インピーダンスは虚数部が負になる、すなわち容量性です。

不整合負荷の問題

本章では、配線インピーダンスは 50Ω を想定しますが、PLL のインピーダンスは多少ずれていると仮定します。信号周波数が低い場合は、あまり問題になりません。しかし、信号が GHz の範囲に入ると、インピーダンス整合問題が共通して起こります。GHz 帯域では、PLL のインピーダンスが 50Ω から大きく外れると、数 cm 以上の配線が問題になります。一般にこれによって PLL 内で電力損失が起こり、感度に問題が生じます。また、VCO も高調波を出すため、不整合が十分大きいと、VCO の高次高調波でプリスケラがミスカウントを起こします。ほとんどの場合では整合回路はまったく必要ありません。PLL がどれくらい 50Ω 線路に整合しているか調べる方法の 1 つは、反射係数を計算することです。

$$\rho = \frac{\sqrt{(Ra - Ro)^2 + Xa^2}}{\sqrt{(Ra + Ro)^2 + Xa^2}} = \sqrt{\frac{\text{反射電力}}{\text{透過電力}}}$$

上の公式は、伝送線路のインピーダンスが Ro で PLL のインピーダンスが $Ra + j \cdot Xa$ を想定しています。反射係数が 1 ならば、PLL には電力が入力されず、反射係数が 0 ならば、全電力が PLL に入力されます。反射係数が大きすぎると問題になります。これらの問題は、VCO と PLL との間が長距離配線されているときに最も顕著です。

インピーダンス整合のとり方

インピーダンス虚数部の除去

一般性を失うことなく、VCO の出力インピーダンスと PLL の入力インピーダンスとの両方を実数であると想定できます。これが成り立たない場合、直列にコンデンサまたはインダクタを挿入し虚数部を打ち消すことができます。一般に PLL には負のリアクタンスがあり、その場合インダクタを直列に挿入し、負のリアクタンスを打ち消すことができます。インダクタによってコストが上がる傾向がありますが、PLL の負性リアクタンスがかなり大きくならない限り、インダクタは必要ありません。最大 2 つまでの素子で、信号源と負荷の両方のリアクタンスを打ち消すことができます。非常に一般的な場合として、配線と VCO がどちらも 50Ω で PLL が少しずれている場合があります。この場合、インピーダンス整合回路を PLL のできるだけ近くに配置することは非常に理にかなっています。

固定周波数で完全整合する 2 つの実数負荷

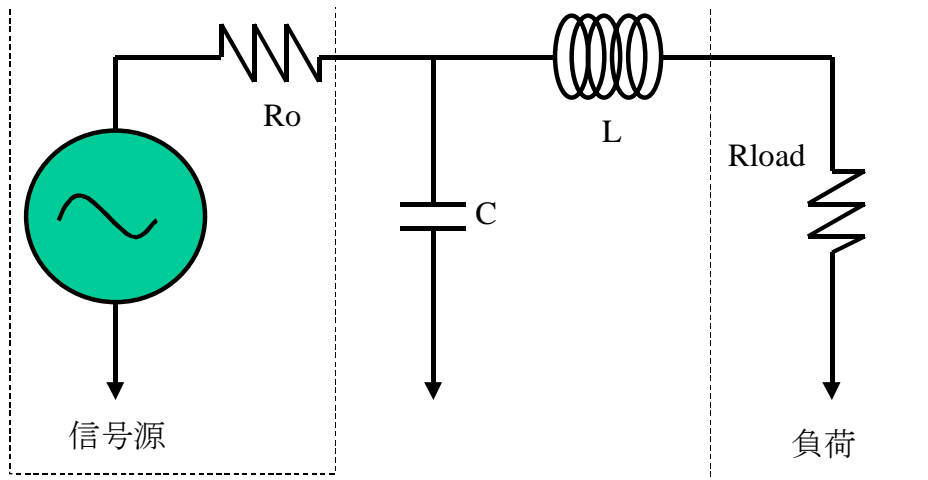


図 1 典型的なインピーダンス整合回路

この種の整合では、周波数を指定しなければなりません。また、これは負荷抵抗が信号源抵抗より大きいことを前提にしている点に注意ください。この前提が成り立たない場合、インダクタ L はコンデンサ C の右側でなく左側に移し、負荷抵抗と信号源抵抗を入れ替える必要があります。整合回路は負荷と信号源どちらも整合インピーダンスに見えるように設計します。これから L と C についての方程式 2 つ、未知数 2 つの連立方程式が得られます。負荷が負性リアクタンスで、また信号源より抵抗が小さい場合は、インダクタ L を適当な値だけ大きくして負性リアクタンスを補償するとよいでしょう。

$$\frac{R_o}{1+s \cdot C \cdot R_o} + s \cdot L = R_{load}$$

$$\frac{s \cdot L + R_{load}}{s^2 \cdot L \cdot C + s \cdot R_{load} \cdot C + 1} = R_o$$

これらの連立方程式を解くと次式が得られます。

$$C = \frac{\sqrt{\frac{R_o}{R_{load}} - 1}}{\omega \cdot R_o}$$

$$L = C \cdot R_o \cdot R_{load}$$

抵抗パッド

前項の方法は、任意の負荷を任意の信号源に正確に整合させることができますが、インダクタが高価で、固定された周波数と PLL のインピーダンスとについてのみ設計されるので、あまり使われません。負荷の入力インピーダンスが大きく変化すると、この回路は最適化されなくなってしまいます。抵抗パッドは、正確な整合はとれない方法ですが、インピーダンスの変動をうまく処理でき

ます。抵抗パッドの最大の欠点は、VCO の出力電力を犠牲にしなければならないことです。VCO 電力を犠牲にするほど、抵抗パッドの整合能力が大きくなります。

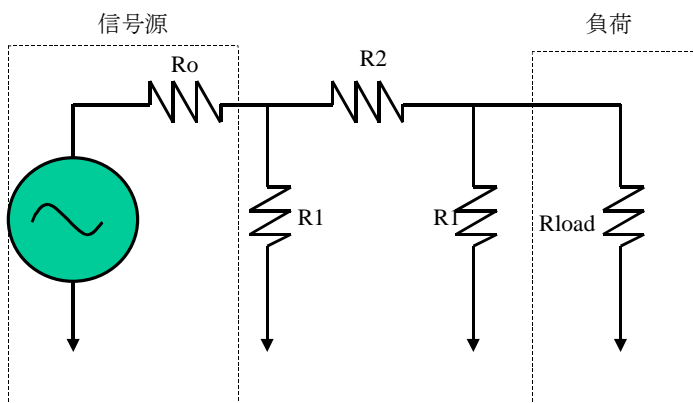


図 2 一般的な抵抗パッド

抵抗パッドでは、パッドの減衰度が規定されており、信号源と負荷の両方のインピーダンスを R_o 、通常 $50\ \Omega$ と仮定して設計します。抵抗値は次式を満足します。

$$R1 \parallel (R2 + R1 \parallel R_o) = R_o$$

$$\frac{(R1 \parallel R_o) \cdot R1}{R1 + R2 + R1 \parallel R_o} = 10^{\frac{Atten}{20}} = K$$

これらの式において、 R_o は信号源インピーダンス、 $Atten$ はパッドの減衰度、 $x \parallel y$ は 2 つの回路素子の並列合成を表します。素子 $R1$ 、 $R2$ は次のように求められます。

$$R1 = R_o \cdot \frac{K + 1}{K - 1}$$

$$R2 = \frac{2 \cdot R_o \cdot R1}{R1^2 - R_o^2}$$

結論

インピーダンス整合回路は、通常 PLL を VCO に整合させるためには必要としませんが、それが必要な場合もあります。VCO と PLL との間の配線長が波長の $1/10$ に近くなると、配線が長いと見なされ、結果として整合が問題になります。VCO の出力電力に十分余裕があれば、抵抗パッドを使うと、経済的でプロセス変動に影響を受けにくい対応策になります。それ以外の場合で、PLL が VCO と大きな不整合を起こしているときは、インダクタとコンデンサを使うことにより、良好な整合をとることができます。

参考文献

- [1] Danzer, Paul (editor) *The ARRL Handbook (Chapter 19)* The American Radio Relay League. 1997

19. PLL ループ・フィルタのラウスの安定性

はじめに

ループ・フィルタを不安定にする要因は 2 つあります。第 1 に比較周波数の約 1/3 以上のループ帯域幅で設計してしまうことです。第 2 に閉ループ系の極が複素平面上で右側の面に入ってしまうようにループ・フィルタを設計してしまうことです。このような場合は、少なくとも 3 次フィルタについて言えば、位相余裕度が小さすぎるとき起こります。本章の目的としてラウス安定度という用語は、閉ループ伝達関数のすべての極が複素平面上の左側の面にある系について述べたものです。本章では、ラウスの安定条件による制約について説明します。

安定係数の計算

3 次フィルタの開ループ伝達関数は次のようになります。

$$G(s) = \frac{N \cdot K \cdot (1 + s \cdot T2)}{s^2 \cdot (1 + s \cdot T1) \cdot (1 + s \cdot T3)}$$

ここで

$$K = \frac{K\phi \cdot Kvco}{N \cdot (C1 + C2 + C3)}$$

閉ループ伝達関数は以下のようになります。

$$\frac{G(s)}{1 + \frac{G(s)}{N}} = \frac{N \cdot K \cdot (1 + s \cdot T2)}{s^4 \cdot d4 + s^3 \cdot d3 + s^2 \cdot d2 + s \cdot d1 + d0}$$

上記において、分母の定数が系の安定度を決定する安定係数で、次のように定義されます。

$$d4 = T1 \cdot T3$$

$$d3 = (T1 + T3)$$

$$d2 = 1$$

$$d1 = T2 \cdot K$$

$$d0 = K$$

ラウスの表の作成

システムは、分母のすべての極に負の実数部があれば安定です。陽関数的に根を計算する代りに、ラウスの安定条件を使う方がずっと簡単です。これは、ラウス行列の要素が正の場合のみ、すべての根に負の実数部があるということです。ラウス行列の要素は、以下に示すラウスの表の第 2 列の要素です。ラウスの表は、第 1 行に初項から 2 つおきの項を入れて、第 2 行に第 2、第 4 などの 2 つおきの項を入れて得られます。下の行は対象となる項がある列を取り去った 2×2 行列の行列式をとり、対象となる項の上の行の初項で割って得られます。これを以下に示します。

s^n	d_n	d_{n-2}	d_{n-4}	...
s^{n-1}	d_{n-1}	d_{n-3}	d_{n-5}	...
	$b_1 = \frac{d_{n-1} \cdot d_{n-2} - d_n \cdot d_{n-3}}{d_{n-1}}$	$b_2 = \frac{d_{n-1} \cdot d_{n-4} - d_n \cdot d_{n-5}}{d_{n-1}}$
	$c_1 = \frac{b_1 \cdot d_{n-2} - b_2 \cdot d_n}{b_1}$

図1 一般的なラウスの表

2次フィルタのラウス安定度の証明

2次ループ・フィルタは3次ループ・フィルタの特別な場合で $T3=0$ です。2次フィルタのラウスの表を以下に示します。

s^3	T1	T2●K
s^2	1	K
	K●(T2 - T1)	0
	K	0

図2 2次ループ・フィルタのラウスの表

ここで、Kの定義から、 $K>0$ は明らかです。第3行から、 $T2>T1$ という制限がつきます。2次フィルタについて標準的な大きさの順を考えると、 $T2>T1$ は常に成り立ちます。なぜなら、

$$T2 = R2 \cdot C2$$

$$T1 = T2 \cdot \frac{C1}{C1 + C2}$$

の関係があるからです。

これから定理1が導かれます。

定理1

実際の回路定数と標準的ループ・フィルタ・トポロジを用いると、連続時間近似が成り立つほどループ帯域幅が十分小さい場合、不安定な2次フィルタを設計するのは不可能です。

したがって、標準的なトポロジを用いて、位相余裕度が小さすぎたり極が複素平面の右半面にあるために不安定なループ・フィルタを設計するのは不可能です。この安定性のため、VCOゲイン、チャージ・アンプ・ゲイン、またはN値が大きく変動する場合、2次フィルタの使用はよい選択になります。

3次ラウス安定度の条件

3次フィルタについては、ラウスの表はあまり簡単ではなく、ループ帯域幅にかかわらず、不安定なループ・フィルタが設計できてしまうことがわかります。 $T2>T1+T3$ と仮定すると、これはVCOゲインまたはチャージ・ポンプ・ゲインをある程度まで下げると、最終的にフィルタが安定することを意味します。チャージ・ポンプ・ゲインが下がるにつれてループ帯域幅が下がるので、ループ帯域幅をある程度下げるのは、常に2次フィルタを安定化させ、 $T2>T1+T3$ とすると3次フィルタも常に安定化させます。ラウスの表の数式を簡単にするため、次のような定数を導入します。

$$c = \frac{T1+T3}{T1 \cdot T2 \cdot T3}$$

s^4	$T1 \bullet T3$	1	K
s^3	$T1 + T3$	$T2 \bullet K$	0
	$1 - K/c$	K	0
	$\frac{K \bullet T2}{c} \cdot \left[\frac{T2 - T1 - T3}{T2} \bullet c - K \right]$	0	0
	$1 - K/c$		
	K		

図3 3次ラウス安定度表

定数 c 、 K について定義式を代入し、また第 3、4 行の主要部を取り出すと、3 次フィルタの安定条件が得られます。

$$\frac{K\phi \bullet K_{vco}}{N \bullet (C1+C2+C3)} < \frac{T1+T3}{T1 \bullet T2 \bullet T3}$$

$$\frac{K\phi \bullet K_{vco}}{N \bullet (C1+C2+C3)} < \frac{T1+T3}{T1 \bullet T2 \bullet T3} \bullet \frac{T2-T1-T3}{T2}$$

しかし、この最初の条件式は冗長ですので、3 次フィルタの安定条件は、次のようになります。

$$\frac{K\phi \bullet K_{vco}}{N \bullet (C1+C2+C3)} < \frac{T1+T3}{T1 \bullet T2 \bullet T3} \bullet \frac{T2-T1-T3}{T2}$$

この条件は $T2 > T1+T3$ であることを示しています。

結論

ループ・フィルタの安定条件を調べました。通常ループ帯域幅は比較周波数と比べて十分狭いという条件がありますが、また閉ループ伝達関数のすべての極には負の実数部があるという条件もあります。2 次フィルタについては、これが常に成り立ちましたが、3 次フィルタでは、実際には制限があります。

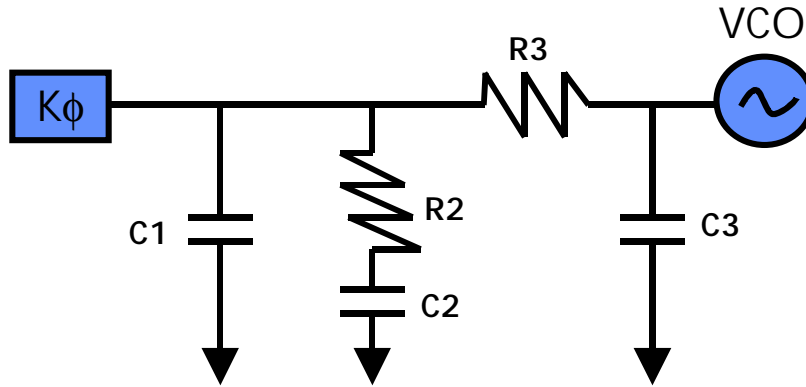
本章は、実はスプリアスをさらに減衰させるようなフィルタを追求する過程から生まれました。 $T2$ は $T1$ や $T3$ より大きい点に注意ください。初めは、 $T3$ または $T1$ が $T2$ より大きいならば、スプリアスを大きく減衰できるように見えました。位相余裕度やループ帯域幅が正しくても、ループ・フィルタはまったく安定しないことがわかりました。ラウス安定性についての本章では、このような努力が無駄なことを説明しました。VCO によって導入される $1/s$ 係数のため、安定化には $T2=0$ が必要です。 $1/s$ 係数がなければ、理論上はリファレンス・スプリアスを大きく低減することが可能です。

参考文献

Franklin, G., et. al. *Feedback Control of Dynamic Systems* Addison Wesley

20. ループ・フィルタの解析例

本章は、本書で示したコンセプトを使ったループ・フィルタ解析を紹介します。



ここでパラメータ入力

$$\begin{aligned}
 K\phi &:= 5 \cdot \text{mA} & F_{\text{comp}} &:= 200 \cdot \text{kHz} & F_{\text{out}} &:= 900 \cdot \text{MHz} & K_{\text{vco}} &:= 20 \frac{\text{MHz}}{\text{volt}} \\
 C1 &:= 1 \cdot \text{nF} & C2 &:= 10 \cdot \text{nF} & C3 &:= 98 \cdot \text{pF} \\
 R2 &:= 3.3 \cdot \text{k}\Omega & R3 &:= 22 \cdot \text{k}\Omega
 \end{aligned}$$

パラメータの計算

$$\begin{aligned}
 N &:= \frac{F_{\text{out}}}{F_{\text{comp}}} & \zeta &:= \frac{R2 \cdot C2}{2} \cdot \sqrt{\frac{K\phi \cdot K_{\text{vco}}}{N \cdot (C1 + C2 + C3)}} & \omega_n &:= \sqrt{\frac{K\phi \cdot K_{\text{vco}}}{N \cdot (C1 + C2 + C3)}} \\
 N &= 4.5 \cdot 10^3 & \zeta &= 0.738 & \frac{\omega_n}{2 \cdot \pi} &= 7.122 \cdot \text{kHz}
 \end{aligned}$$

真の極とゼロ点の計算

$$\begin{aligned}
 T2 &:= R2 \cdot C2 \\
 x &:= \frac{C2 \cdot C3 \cdot R2 + C1 \cdot C2 \cdot R2 + C1 \cdot C3 \cdot R3 + C2 \cdot C3 \cdot R3}{C1 + C2 + C3} & \text{これは } T1+T3 \text{ です。} \\
 y &:= \frac{R2 \cdot R3 \cdot C1 \cdot C2 \cdot C3}{C1 + C2 + C3} & \text{これは } T1 \cdot T3 \text{ です。}
 \end{aligned}$$

$$T1 := \frac{x + \sqrt{x^2 - 4 \cdot y}}{2} \quad T3 := \frac{x - \sqrt{x^2 - 4 \cdot y}}{2} \quad \text{junk} := T3$$

T1 と T3 が入れ替わっていないことを確認します。

$$T3 := \text{if}(T3 > T1, T1, T3) \quad T1 := \text{if}(T3 > T1, \text{junk}, T1)$$

時定数

$$T1 = 3.641 \cdot 10^{-6} \cdot \text{sec}$$

$$T2 = 3.3 \cdot 10^{-5} \cdot \text{sec}$$

$$T3 = 1.761 \cdot 10^{-6} \cdot \text{sec}$$

$$\frac{T3}{T1} = 48.352\%$$

フィルタの極

$$\frac{1}{T1} = 274.631 \cdot \text{kHz}$$

n/a

$$\frac{1}{T3} = 567.978 \cdot \text{kHz}$$

フィルタのゼロ点

n/a

$$\frac{1}{T2} = 30.303 \cdot \text{kHz}$$

n/a

ループ・パラメータの定義

$$Z(\omega) := \frac{1 + T2 \cdot i \cdot \omega}{i \cdot \omega \cdot (C1 + C2 + C3) \cdot (1 + i \cdot \omega \cdot T1) \cdot (1 + i \cdot \omega \cdot T3)}$$

ループ・フィルタ・インピーダンス

$$G(f) := \frac{K\phi \cdot Kvco \cdot Z(f \cdot 2 \cdot \pi)}{i \cdot f \cdot 2 \cdot \pi}$$

順方向ループ・ゲイン

$$CL(f) := \frac{G(f)}{1 + \frac{G(f)}{N}}$$

閉ループ・ループ・ゲイン

帯域幅と位相余裕度

$$x := 10.0 \cdot \text{kHz}$$

ループ帯域幅の初期予測値

$$Fc := \text{root}(|G(x)| - N, x) \quad Fc = 11.044 \cdot \text{kHz}$$

ループ帯域幅

$$f := Fc$$

$$\text{root}(|CL(f)| - N, f) = 14.883 \cdot \text{kHz}$$

0dB 帯域幅

$$\arg(G(Fc)) \cdot \frac{180}{\pi} + 180 = 45.264$$

位相余裕度

最適化指数(100%=完全最適化)

$$\text{Index} := \frac{\frac{T2}{1 + (2 \cdot \pi \cdot Fc \cdot T2)^2}}{\frac{T1}{1 + (2 \cdot \pi \cdot Fc \cdot T1)^2} + \frac{T3}{1 + (2 \cdot \pi \cdot Fc \cdot T3)^2}} \quad \text{Index} := \text{if} \left(\text{Index} > 1, \frac{1}{\text{Index}}, \text{Index} \right)$$

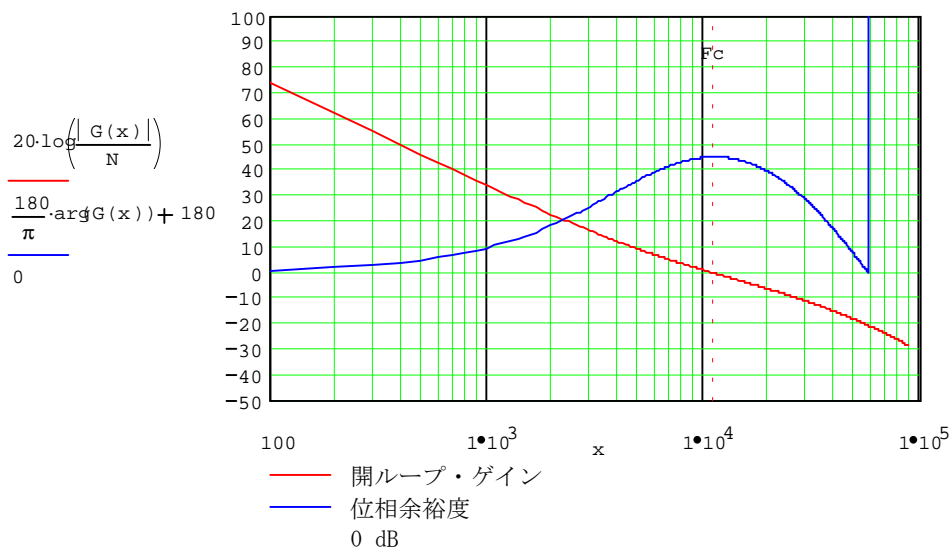
Index = 97.58%

これはパーセントで表した最適化指数です。

ボード線図の表示

$$x := 1 \cdot \text{Hz}, 100 \cdot \text{Hz} \dots \frac{50 \cdot Fc}{2 \cdot \pi}$$

開ループ・ゲインと位相余裕度



位相ノイズのプロファイル

Noise1Hz := -206 dBc/Hz
 1 Hz 当りに正規化した位相比較器ノイズ
 LMX2330、副 PLL 側電源オフ
 高チャージ・ポンプ・ゲイン設定

$$\text{NoiseFloor} := \text{Noise1Hz} + 10 \cdot \log\left(\frac{F_{\text{comp}}}{\text{Hz}}\right)$$

NoiseFloor = -152.99 dBc/Hz PLL のノイズ・フロア

$$\text{PLLNoise}(f) := \text{NoiseFloor} + 20 \cdot \log(|\text{CL}(f)|)$$

PLLNoise(150·Hz) = -79.922 近傍位相ノイズ

VCO ノイズ

VCO10khz := -100 dBc/Hz

$$\text{VCONoise}(f) := \text{VCO10khz} - 20 \cdot \log\left(\frac{f}{10 \cdot \text{kHz}}\right) - 20 \cdot \log\left(1 + \frac{G(f)}{N}\right)$$

抵抗ノイズ特性

これは、<http://home.rodchester.rr.com/lascari/lanzepll.zip> のサイトにある Lance Lascari の PLL 解析プログラムから引用しています。

$$k := 1.380658 \cdot 10^{-23} \frac{\text{joule}}{\text{K}} \quad T_0 := 300 \cdot \text{K} \quad R_{\text{Noise}}(R) := \sqrt{4 \cdot T_0 \cdot k \cdot R \cdot 1 \cdot \text{Hz}}$$

R2 の抵抗ノイズ

$$\text{VnR2} := R_{\text{Noise}}(R2) \quad \text{VnR2} = 7.394 \cdot 10^{-9} \text{ volt}$$

$$Z_{R2_1}(f) := R2 + \frac{1}{2 \cdot \pi \cdot f \cdot i \cdot C2} \quad Z_{R2_2}(f) := \frac{1}{2 \cdot \pi \cdot f \cdot i \cdot C1} \quad Z_{R2_4}(f) := \frac{1}{2 \cdot \pi \cdot f \cdot i \cdot C3}$$

$$Z_{R2_3}(f) := R3$$

$$Z_{R2_5}(f) := \frac{Z_{R2_1}(f) \cdot Z_{R2_2}(f)}{Z_{R2_1}(f) + Z_{R2_2}(f)} + Z_{R2_3}(f)$$

$$V_{\text{noise_R2}}(f) := \frac{\text{VnR2}}{\left|1 + \frac{G(f)}{N}\right|} \cdot \left(\frac{Z_{R2_2}(f)}{Z_{R2_1}(f) + Z_{R2_2}(f)}\right) \cdot \left[\text{if } C3 > 1 \cdot \text{pF}, \left(\frac{Z_{R2_4}(f)}{Z_{R2_5}(f) + Z_{R2_4}(f)}\right), 1\right]$$

$$R2_{\text{Noise}}(f) := 20 \cdot \log\left(\frac{\sqrt{2} \cdot V_{\text{noise_R2}}(f) \cdot K_{\text{vco}}}{2 \cdot f}\right)$$

R3の抵抗ノイズ

$$VnR3 := R_Noise(R3) \quad VnR3 = 1.909 \cdot 10^{-8} \text{ volt}$$

$$Z_{R3_1}(f) := \frac{1}{2 \cdot \pi \cdot f \cdot i \cdot C1} \cdot \left(R2 + \frac{1}{2 \cdot \pi \cdot f \cdot i \cdot C2} \right) + R3$$

$$R2 + \frac{1}{2 \cdot \pi \cdot f \cdot i \cdot C1} + \frac{1}{2 \cdot \pi \cdot f \cdot i \cdot C2}$$

C1と(C2、R2の直列)との並列にR3を直列に加えたもの

$$Z_{R3_2}(f) := \frac{1}{2 \cdot \pi \cdot f \cdot i \cdot C3}$$

$$V_{noise_R3}(f) := \frac{VnR3}{\left| 1 + \frac{G(f)}{N} \right|} \cdot \frac{Z_{R3_2}(f)}{Z_{R3_1}(f) + Z_{R3_2}(f)}$$

$$R3_Noise(f) := \text{if}(C3 > 1 \cdot \text{pF}, 20 \cdot \log \left(\frac{\sqrt{2} \cdot V_{noise_R3}(f) \cdot Kvco}{2 \cdot f} \right), -500)$$

リファレンス・スプリアス・シミュレーション

以下を入力します。

$$\text{LeakageSpur}_{00} := 7.1 \text{ dBc}$$

これは普遍的な経験上の定数です。

$$\text{LeakageCurrent} := 10^{-9} \cdot \text{amp}$$

PLLのリーク電流を入力します。

$$\text{PulseSpur}_{00} := -299 \text{ dBc}$$

これはチップ固有の定数です。

$$\text{Modulo} := 1$$

フラクショナル・モジュラス。整数PLLの場合"1"を入力します。

計算

$$F_{spur} := \frac{F_{comp}}{\text{Modulo}}$$

$$\text{SpurGain} := 20 \cdot \log(|G(F_{spur})|)$$

$$\text{SpurGain} = 26.367$$

$$\text{LeakageSpur} := \text{LeakageSpur}_{00} + 20 \cdot \log \left(\frac{\text{LeakageCurrent}}{K \phi} \right) + \text{SpurGain}$$

$$\text{PulseSpur} := \text{PulseSpur}_{00} + \text{SpurGain} + 40 \cdot \log \left(\frac{F_{spur}}{1 \cdot \text{Hz}} \right)$$

$$\text{TotalSpur}(f) := \text{if}(|f - F_{spur}| < 100 \cdot \text{Hz}, 10 \cdot \log \left(10^{\frac{\text{PulseSpur}}{10}} + 10^{\frac{\text{LeakageSpur}}{10}} \right), -500)$$

リーク起因性スプリアス

$$\text{LeakageSpur} = -100.512$$

パルス起因性スプリアス 合成したスプリアス

$$\text{PulseSpur} = -60.592 \quad \text{TotalSpur}(F_{spur}) = -60.591$$

総ノイズ特性

$$\text{TotalNoise}(f) := 10 \cdot \log \left(10^{\frac{\text{PLLNois}(f)}{10}} + 10^{\frac{\text{VCONois}(f)}{10}} + 10^{\frac{\text{R2_Nois}(f)}{10}} + 10^{\frac{\text{R3_Nois}(f)}{10}} + 10^{\frac{\text{TotalSpur}(f)}{10}} \right)$$

$$\frac{\text{VCO10kHz-NoiseFloor} - 20 \cdot \log N}{10} \cdot 10 \text{ kHz} = 0.991 \text{ kHz} \quad \text{最小 RMS 帯域幅}$$

$$\sqrt{\frac{\text{sec}}{\pi}} \cdot \frac{\text{TotalNois}(f)}{10} \cdot d\omega = 0.512 \text{ deg} \quad \text{RMS 位相誤差}$$

15 kHz
100 Hz

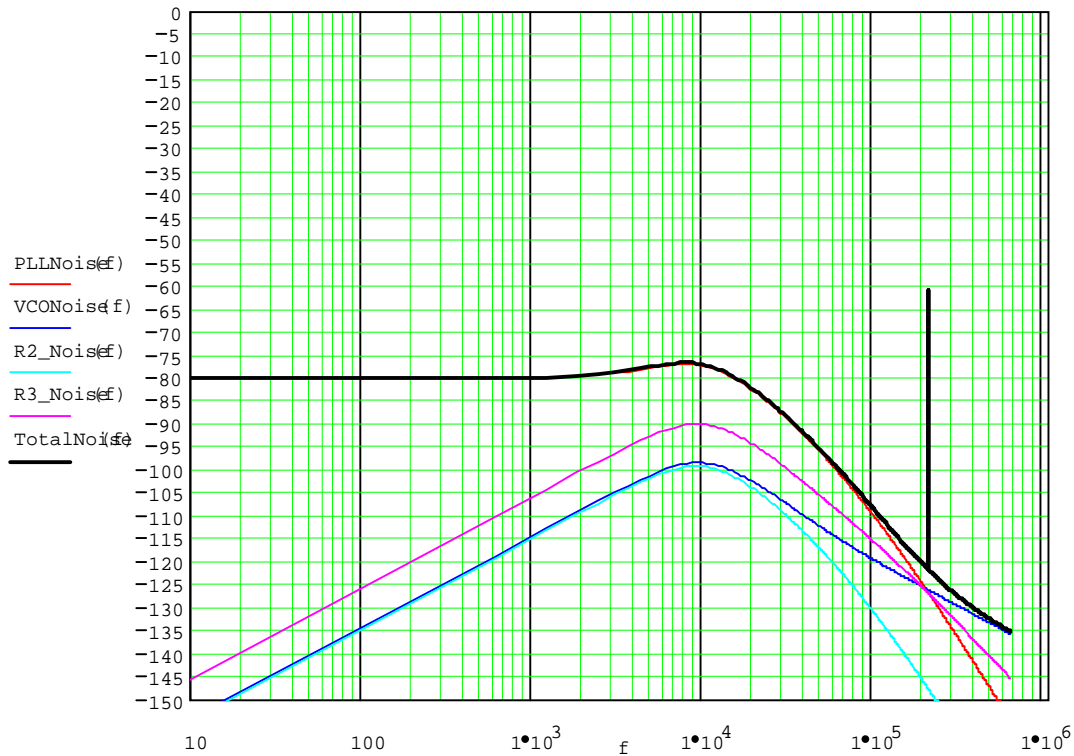
スペクトラム・アナライザのシミュレーション

span := 3 · Fcomp kHz 単位でスパンを入力します。 f := 1 · Hz , $\frac{\text{span}}{1000}$.. span

各オフセット周波数での位相ノイズとスプリアス

TotalNoise(100 · Hz) = -79.924 dBc/Hz 近傍位相ノイズ

TotalNoise(Fspur) = -60.591 dBc 最初のリファレンス・スプリアス(最悪値)



過渡解析

以下の値を入力します。

f2 := 915·MHz	最終周波数	f2 の N 値
f1 := 889·MHz	初期周波数	
tol := 1000·Hz	ロックアップ時間計測の許容値	;

計算

$$R3 := \max \left(\begin{bmatrix} R3 \\ 1 \cdot \Omega \end{bmatrix} \right) \quad C3 := \max \left(\begin{bmatrix} C3 \\ 1 \cdot \text{pF} \end{bmatrix} \right) \quad N := \frac{f2}{F_{\text{comp}}}$$

$$\begin{aligned} \text{den2} &:= C1 + C2 + C3 & \text{den3} &:= C2 \cdot C3 \cdot R2 + C1 \cdot C2 \cdot R2 + C1 \cdot C3 \cdot R3 + C2 \cdot C3 \cdot R3 \\ \text{den4} &:= R2 \cdot R3 \cdot C1 \cdot C2 \cdot C3 \end{aligned}$$

$$\text{den1} := \frac{K \phi \cdot K_{\text{vco}} \cdot C2 \cdot R2}{N} \quad \text{num0} := \frac{K \phi \cdot K_{\text{vco}} \cdot (f2 - f1)}{N}$$

$$\text{den0} := \frac{K \phi \cdot K_{\text{vco}}}{N} \quad \text{num1} := \text{num0} \cdot R2 \cdot C2$$

$$v := \begin{bmatrix} \frac{\text{den0}}{\text{den4}} \cdot \text{sec}^4 \\ \frac{\text{den1}}{\text{den4}} \cdot \text{sec}^3 \\ \frac{\text{den2}}{\text{den4}} \cdot \text{sec}^2 \\ \frac{\text{den3}}{\text{den4}} \cdot \text{sec} \\ 1 \end{bmatrix}$$

$$v = \begin{bmatrix} 3.072 \cdot 10^{20} \\ 1.014 \cdot 10^{16} \\ 1.56 \cdot 10^{11} \\ 8.426 \cdot 10^5 \\ 1 \end{bmatrix}$$

$$p := \text{polyroots}(v) \cdot \text{sec}^{-1}$$

$$p = \begin{bmatrix} -6.142 \cdot 10^5 \\ -1.432 \cdot 10^5 \\ -4.258 \cdot 10^4 + 4.097 \cdot 10^4 i \\ -4.258 \cdot 10^4 - 4.097 \cdot 10^4 i \end{bmatrix} \cdot \text{sec}^{-1}$$

これらは極です。

$$A_0 := \frac{\text{num0}}{\text{den4} \cdot (p_0 - p_1) \cdot (p_0 - p_2) \cdot (p_0 - p_3)}$$

$$A_0 = -5.165 \cdot 10^{10} \cdot \text{sec}^{-2}$$

$$A_1 := \frac{\text{num0}}{\text{den4} \cdot (p_1 - p_0) \cdot (p_1 - p_2) \cdot (p_1 - p_3)}$$

$$A_1 = 1.436 \cdot 10^{12} - 225.527i \cdot \text{sec}^{-2}$$

$$A_2 := \frac{\frac{\text{num0}}{\text{den4}}}{(p_2 - p_0) \cdot (p_2 - p_1) \cdot (p_2 - p_3)} \quad A_2 = -6.921 \cdot 10^{11} - 1.404 \cdot 10^{12} i \cdot \text{sec}^{-2}$$

$$A_3 := \frac{\frac{\text{num0}}{\text{den4}}}{(p_3 - p_0) \cdot (p_3 - p_1) \cdot (p_3 - p_2)} \quad A_3 = -6.921 \cdot 10^{11} + 1.404 \cdot 10^{12} i \cdot \text{sec}^{-2}$$

4つの極の解析

$$k := 0..4000 \quad t_k := \frac{k}{1000000} \cdot \text{sec}$$

$$i := 0..3$$

$$F(t) := f2 + \sum_i A_i \cdot e^{p_i \cdot t_k} \left(\frac{1}{p_i} + R2 \cdot C2 \right)$$

設定を調整するため次の値を入力します。

range := 500 · 10⁽⁻⁶⁾ · sec **X軸の最大範囲**

span := 25 · MHz **プロットの縦軸スパン**

center := 915 · MHz **中心周波数**

PLL 過渡解析

LockTime = 243 μsec

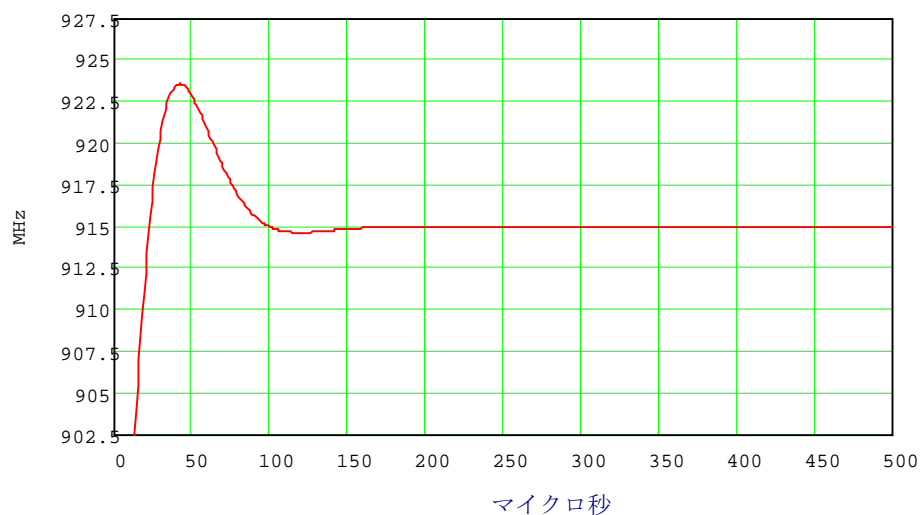
マイクロ秒単位のロックアップ時間

OverShoot = 26 °MHz

周波数オーバーシュート量

tol = 1 · 10³ °Hz

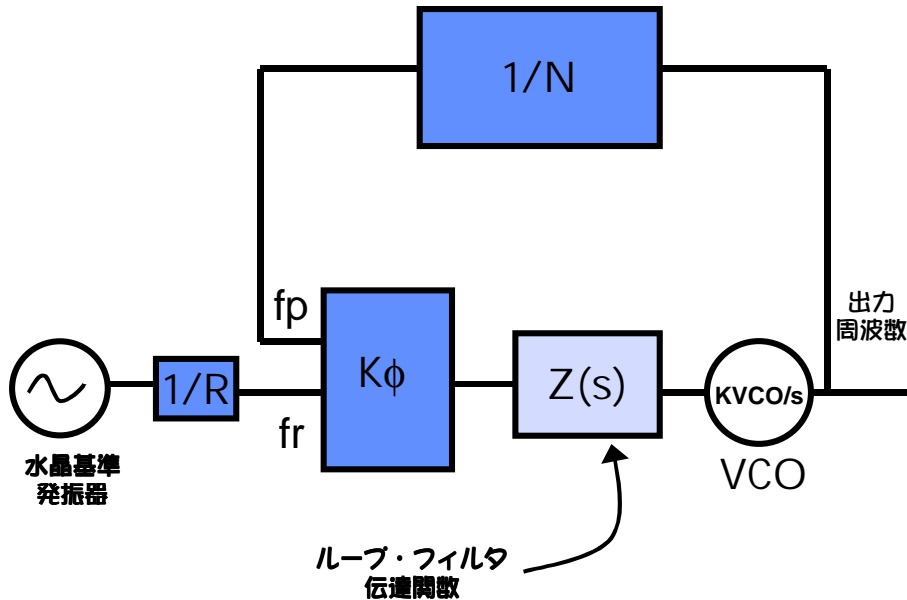
周波数許容範囲



21. PLL の設計と性能に関するその他の課題

はじめに

本章は、これまでに述べなかった細かいテーマを集めたものです。本章では、N カウンタ値の選択、位相余裕度とピーキングとの関係、カウンタの感度について説明します。



ループ・フィルタ設計時の N 値

固定出力周波数 PLL での N 値の選択

PLL の出力周波数が固定の場合、比較周波数の選択はそれほど自明の問題ではありません。比較周波数は通常できるだけ大きくとります。比較周波数と出力周波数との関係をもう一度記すと、

$$F_{out} = \left(\frac{N}{R} \right) \cdot X$$

これから次式が得られます。

$$\frac{N}{R} = \frac{F_{out}}{X_{tal}}$$

出力周波数と水晶発振周波数とはどちらも既知量ですので、この式の右辺は既知で、既約分数に約分できます。この既約分数がわかれば、分子が N 値で分母が R 値になります。この解法で、実現不可能な N デバイダ値や位相比較器の動作可能帯域より高い比較周波数が求まる場合、N 値と R 値を倍にします。それでも問題がある場合、3 倍にします。これらの値を、分周比がデバイダの分周可能範囲に、比較周波数が PLL チップの規格値内に収まるまで増やします。水晶発振周波数を自由に選べる場合、N 値ができるだけ小さくなるように、出力周波数と多くの公約数がある水晶発振周波数を選ぶのが最良です。

N カウンタ値、VCO ゲイン、チャージ・ポンプによるループ帯域幅の変動

VCO ゲインには係数 $1/s$ がかかっており、VCO 出力を電圧から位相に変換しています。また、本書で検討したどのパッシブ・ループ・フィルタの伝達関数にも常に $1/s$ の係数が入っています。また、この伝達関数には極とゼロ点があります。極はループ帯域幅よりかなり大きくとった方がよく、したがって、実際にはループ帯域幅と等しい周波数ではあまり影響を与えることはありません。また伝達関数にはゼロ点があり、このゼロ点はループ帯域幅の近くで、多少影響を与えますが、通常、伝達関数から $1/s$ をとり、これを VCO ゲインの $1/s$ とかけ合わせて出てくる $1/s^2$ の項と比べてあまり影響ありません。これから、ループ帯域幅は N 値の平方根にほぼ反比例するという結論が得られます。また、ループ帯域幅は VCO ゲインの平方根にだいたい比例し、チャージ・ポンプ・ゲインの平方根にもほぼ比例すると言えます。最初は、フィルタの極やゼロ点を無視すると、大まかな近似のように見えるかも知れませんが、シミュレーションと実際のテストから、それほど大まかではないことが分かります。これらの結果をまとめると、次のようになります。

$$\frac{\omega_2}{\omega_1} = \sqrt{\frac{K\phi_2}{K\phi_1}} \cdot \sqrt{\frac{K_{vco2}}{K_{vco1}}} \cdot \sqrt{\frac{N1}{N2}}$$

出力周波数に範囲がある場合の N 値の設計値

上の式から、ループ帯域幅は N 値の平方根に反比例するのが、ほぼ正しいことが示されます。したがって、N 値を、PLL のループ帯域幅の設計された値からの変動の最大値と最小値の幾何平均として設計すると、PLL のループ帯域幅の設計値からの変動を最小にすることがわかります。まとめると、次のように設計します。

$$N = \sqrt{N_{\min} \cdot N_{\max}}$$

位相余裕度、安定性、ロックアップ時間

位相余裕度は系の安定性に関係あり、位相余裕度が大きくなるとより安定になります。閉ループ伝達関数の根を見て、これらの根の負の実数部の軌跡をたどるとわかりますが、これについての詳細な説明をすることは本書の範囲を越えています。スペクトラム・アナライザで、位相余裕度が非常に小さいと、ループ・フィルタ応答はピーキングを起こします。ここではその理由を説明します。

閉ループ伝達関数が次のような形で表されていました。

$$T(s) = \frac{G(s)}{1 + G(s) \cdot H}$$

振幅が $G(s) \cdot H = 1$ となる点が特に注目されます。定義により $G(s) \cdot H = 1$ となる周波数がループ帯域幅です。ループ帯域幅で評価した $G(s) \cdot H$ の位相も注目されます。この位相が 180 度であれば、伝達関数は無限に発散し、不安定になります。位相が零度であれば、ピーキングは最小で、安定度が最大になります。したがって、位相余裕度は、180 度から $G(j \cdot \omega) \cdot H$ の位相を引いた位相の余裕量です。実際には、位相余裕度が 20 度より小さいループ・フィルタは系が不安定になる問題を起こしがちで、位相余裕度が 80 度を越えるフィルタは回路定数値が大きすぎるか小さすぎるため非現実的なものになります。

位相余裕度をどのような値にして設計するかについては、ループ帯域幅固定の場合 45 度から 50 度で最速のロックアップ時間が得られますので、これがよい選択値となります。ロックアップ時間の計算に 2 次近似を使うと、位相余裕度が下がるとロックアップ時間が高速化しますが、すべての極とゼロ点を考慮すると、位相余裕度が 45 度から 50 度の範囲で、最適ロックアップ時間が得られることがわかります。

感度の落とし穴について

感度は現実の PLL 特性の 1 つです。高周波入力に印加する電力が大きすぎるか小さすぎると、N カウンタは実際にカウントミスを起こします。この高周波入力の電力レベルには限界があり、この限界を感度といいます。感度は周波数の関数として変化します。感度曲線は、高周波ではプロセスの限界のため悪くなり、低周波では、カウンタがしきい値で判別を行う際、信号のスルーレートが遅すぎるといった問題のため悪くなります。低周波では、PLL の高周波入力にサイン波ではなく矩形波を入力することで、このような限界に対処することができます。感度はまた、部品ごと、または電圧や温度で変わります。高周波入力の電力レベルが感度の限界に近づくと、スプリアスが発生し、位相ノイズが悪化します。電力レベルがこの限界にほとんど同じになるか、越えてしまうと、PLL が同期から外れてしまいます。

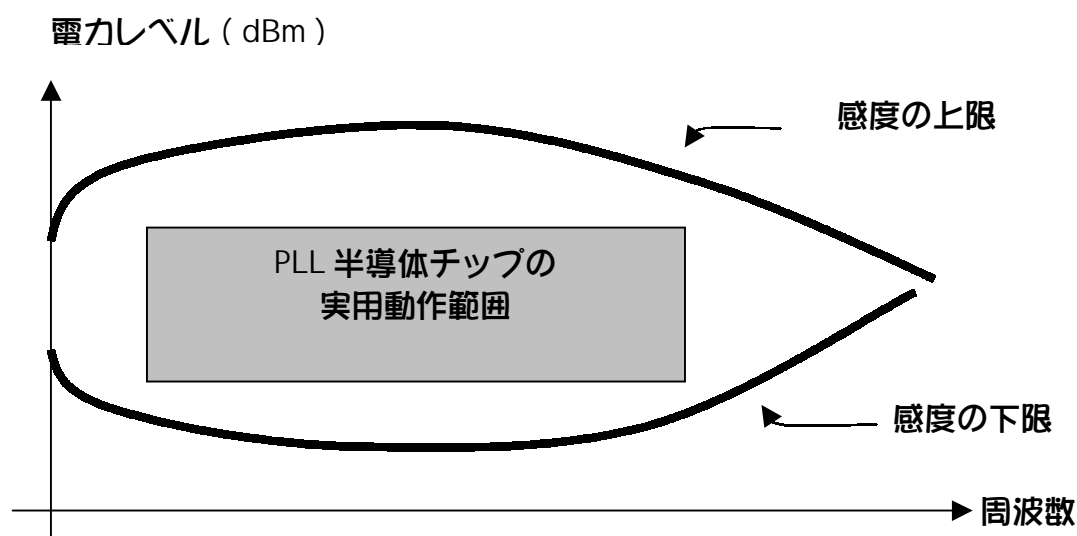


図 1 PLL の典型的な感度曲線

この感度曲線は一般に周波数に対して一定ではなく、VCO の基本波と同様高調波に対して感度がどうなるか考えるのは適切なことです。これは特に、非常に高い動作周波数に対し設計されたチップが非常に低い動作周波数で使われるとき問題です。PLL の高周波入力ですぐうまく整合していないと、感度に関して予期しない問題が起こる可能性があります。

感度の問題は、通常高周波入力に関係しているので、N カウンタで最も起こりやすくなりますが、同じ考え方が R カウンタにも当てはまります。PLL の感度を製造現場でテストするためには、R および N カウンタにアクセスする必要があります。したがって、このようにするとデバッグのための有用なツールとなります。感度に関連した問題もまた Vcc 電圧と温度に強い依存性を示す傾向があります。インピーダンス整合の問題は感度問題の原因になり、人の指をチップの上に押し付けるだけで問題の現象を止めたり悪化させたりできることがあります。このようにすると、チップの入力インピーダンスに影響を与えることができるのです。

結論、そして最後に

本章では、他の章で触れていない問題のいくつかについて述べました。本書をここまで読み進められたら、うまくいけば、PLL の設計とシミュレーションがどのように関連しているかがおわかりになられたはずです。

PLL 周波数シンセサイザの設計とシミュレーションについて、読者が知りたいあらゆる点とおそらくまったく気にかけていない点を伝えるのが、本書の目的でした。しかし、まだ他にも多くのテーマが残されています。実例と実際の測定データを示し、厳密に理論的に理解して頂くのが、本書の意図した点でした。本書のすべてのデータは、ナショナルセミコンダクター社の R カウンタ、N カウンタ、チャージ・ポンプ、位相周波数比較器など各種シンセサイザ・チップから集めたものです。

補足



22. 用語解説と略語

ATTEN

減衰指数のことで、本書とは別の、ループ・フィルタ設計についての文献に示されていますが、これによりループ・フィルタの回路定数 R3 と C3 によって追加されるスプリアス減衰量がわかります。また、抵抗パッドの dB 表示の減衰度を表すのにも用いられます。

チャンネルおよびチャンネル間隔

多くのアプリケーションでは、等間隔で離れた一連の周波数が発生するようになっています。発生したこれらの周波数はしばしばチャンネルと呼ばれ、チャンネル間の間隔はチャンネル間隔と呼ばれることがよくあります。

チャージ・ポンプ

このデバイスは、位相比較器とともに使われ、定振幅の電流を出力しますが、極性とデューティ・サイクルは可変です。一般に、チャージ・ポンプは、出力電流の時間平均に値が等しい定常電流を出力するデバイスとしてモデル化されます。

閉ループ伝達関数 C(s) (図 3 参照)

これは $\frac{G(s)}{1+G(s)\cdot H}$ として与えられます。ここで、 $H=\frac{1}{N}$ で、G(s)は開ループ伝達関数です。

比較周波数 Fcomp (図 1 参照)

R 分周された水晶発振周波数です。これはまた、基準周波数と呼ばれる場合もあります。

制御電圧 Vtune (図 1 参照)

VCO の周波数出力を制御する電圧です。

水晶基準周波数 Xtal (図 1 参照)

基準として使われる、安定で高精度の周波数です。

弾性率 ζ (図 5 参照)

これは、2 次過渡応答で、周波数リングングがかかったエクスポネンシャル・エンベロープ(指数関数的包絡線)の形を決定します。

不感帯

これは、位相比較器の特性の一つで、回路要素の遅延に起因します。PFD を構成する回路要素は遅延時間ゼロではありませんので、不感帯があると、非常に小さい位相誤差に対しては位相比較器が応答しなくなります。

不感帯除去回路

この回路は、位相比較器が不感帯で動作するのを回避するため、位相比較器に付加することができます。不感帯除去回路は通常、チャージ・ポンプが常時最小限の時間だけオンになるように機能します。

周波数ジャンプ F_j (図 5 参照)

PLL の過渡応答を論じる際、周波数ジャンプは、PLL の初期周波数と最終周波数との周波数差を表します。

周波数シンセサイザ

これは高周波デバイダ (N デバイダ) がある PLL で、広範な種類の信号を合成するのに用いることができます。

G(s)

これは VCO ゲインとチャージ・ポンプ・ゲインをかけ、s で割ったループ・フィルタ・インピーダンスを表します。

$$G(s) = \frac{K\phi \cdot K_{vco}}{s} \cdot Z(s)$$

K_{vco}

VCO のゲインで、単位は MHz/V です。

$K\phi$

これはチャージ・ポンプのゲインで、単位は mA/(2 \cdot π ラジアン) です。

同期状態の PLL

N 分周された出力周波数が、満足できる許容範囲内で比較周波数に等しくなるような PLL です。

ロックアップ時間 (図 5 参照)

PLL が、所定の周波数ジャンプで所定許容範囲内で初期周波数から最終周波数に切り換わるのに要する時間です。

ループ帯域幅 ω_c (図 2、3、4 参照)

開ループ伝達関数の大きさが 1 に等しくなる周波数です。 ω_c は真のループ帯域幅を表し、一方 ω_p は ω_c の数学的近似値です。

ループ・フィルタ

チャージ・ポンプの電流出力を取り電圧に変換する低周波フィルタで、変換された電圧は VCO の制御電圧として用いられます。 $Z(s)$ はしばしばこの関数のインピーダンスを表すのに用いられます。完全に正確というわけではありませんが、ループ・フィルタを積分器と見なす場合があります。

モジュレーション・ドメイン・アナライザ (図 5 参照)

入力信号の周波数対時間特性を表示する高周波測定器の一種です。

変調指数 β

この指数は、サイン波で変調された高周波信号に関するものです。以下に公式を示しますが、ここで $F(T)$ は信号周波数を表します。

$$F(t) = \text{const.} + F_{dev} \cdot \cos(\omega_m \cdot t)$$

$$\beta = \frac{F_{dev}}{\omega_m}$$

固有周波数 ω_n (図 5 参照)

これは、2 次の過渡応答における周波数応答のリングング周波数です。

開ループ伝達関数 $G(s)$ (図 2 参照)

VCO ゲイン、チャージ・ポンプ・ゲイン(位相比較器ゲインを含みます)、N で割ったループ・フィルタ・インピーダンスの積をとって得られる伝達関数です。

$$G(s) = \frac{K\phi \cdot Kvco \cdot Z(s)}{N \cdot s}$$

オーバーシュート (図 5 参照)

これは、2 次の過渡応答で、最終的に適切な周波数に整定する前に初めに目標周波数を越える分の周波数です。

位相比較器 (図 1 参照)

2 つの入力の位相差に比例した信号を出力するデバイスです。

位相周波数比較器 (図 1 参照)

位相比較器によく似ていますが、同様にまた周波数誤差にも比例する信号を出力します。

位相同期ループ(PLL) (図 1 参照)

固定の水晶基準周波数から出力周波数を発生するためにフィードバック制御を使う回路です。PLL には必ずしも N デバイダがあるとは限らないことに注意ください。N デバイダがある場合、周波数シンセサイザと呼ばれ、これが本書の主題です。

位相余裕度 ϕ

180 度から開ループ伝達関数のループ帯域幅での位相を差し引いたものです。位相余裕度は通常 30 度から 70 度の間にあります。位相余裕度が低い設計は安定度が低くなる傾向にあり、閉ループ伝達関数がピーキングを示します。過剰に位相余裕度がある設計はロックアップ時間が長くなります。以下に式を示します。

$$\phi = 180 - \angle C(j \cdot \omega_c)$$

位相ノイズ (図 4 参照)

これは、PLL の出力位相に乗るノイズです。位相と周波数は関係があるので、スペクトラム・アナライザ上で観測できます。ループ帯域幅内では、PLL が支配的なノイズ源です。使われる単位は dBc/Hz(Hz 当たりの搬送波に対するデシベル値)です。一般には、スペクトラム・アナライザの 10×(分解能帯域幅)を差し引くことにより、1Hz 帯域当たりに正規化されます。

位相ノイズ・フロア

これは、位相ノイズから $20 \times \log(N)$ を引いたものです。これは一般に定数ではありません。なぜなら、チャージ・ポンプがノイズの支配的要因であることが多く、チャージ・ポンプは高い比較周波数でノイズが多くなるからです。

プリスケータ

PLL の出力は高周波であることが多いので、PLL は高周波プロセスを必要とします。しかし、このような高周波プロセスから PLL チップ全体を作るのは不可能ですので、高周波部分のみ高周波プロセスで製造します。プリスケータは、実際には N デバイダの内部構造の一部です。

シングル・モジュラス・プリスケータ

これは、カウンタ前に置かれた単一の高周波デバイダです。この場合、 $N=M \times P$ で、M は変更することができますが、P は固定です。このタイプのプリスケータでは、周波数分解能は犠牲になっています。

デュアル・モジュラス・プリスケータ (図 6 参照)

周波数分解能を犠牲にしないため、デュアル・モジュラス・プリスケータが使われます。これらは $P/(P+1)$ の形で表されます。たとえば、32/33 プリスケータでは $P=32$ です。まず、分周比 $P+1$ の固定プリスケータ(実際はパルス・スワロウ回路のついた分周比 P のプリスケータ)があり、これを全部で A サイクル動かします。これが全部で $A \times (P+1)$ サイクルになります。また常時カウントしている B カウンタがあります。B カウンタが B サイクルのカウントを始めると、残りカウントは $(B-A)$ になります。次に分周比 P のプリスケータに切り換えます。これは $(B-A) \times P$ サイクルをカウントしてカウント終了し、その時刻ですべてのカウンタがリセットされ、同じ動作が繰り返されます。適切な動作のためには、 $B \geq A$ である点に注意ください。 $B \geq A$ でなければ、B カウンタがゼロになるのが早すぎてシステムをリセットしてしまいます。 $B < A$ となる N 値は不当分周比と呼ばれます。これから、基本式が得られます。

$$N = (P+1) \cdot A + P \cdot (B-A) = P \cdot B + A$$

$B = N \text{ trunc } P$ (NをPで割るときの商で、余りを切り捨てたもの)

$A = N \text{ mod } P$ (NをPで割るときの余り)

$B \geq A$ は動作可能分周比のための必要条件です。

このプリスケータはすべての N 値で周波数合成できない点を犠牲にして、分解能を上げることができます。

4重モジュラス・プリスケータ

4重モジュラス・プリスケータは、動作可能分周比を下げるために、4つのプリスケータを使います。一般にこれら4つのプリスケータは、P、P+1、P+4、P+5 の分周比があり、単一パルス・スワロウ回路と4パルス・スワロウ回路で構成されます。4重モジュラス・プリスケータの場合、4つのプリスケータがありますが、任意の N 値を発生するのに3つのプリスケータしか使いません。発生される N 値は、

$$N = P \cdot C + 4 \cdot B + A$$

$$A = N \text{ mod } P$$

$$C = N \text{ div } P$$

$$B = \frac{N - C \cdot P - A}{4}$$

次の表は、必要な N 値を得るための3つのステップとプリスケータがどのように連携して使われるかを示しています。 $B \geq A$ が成り立つかどうかにかかわらず、結果として N 値は同じです。

B>= A の場合		B<A の場合	
説明	必要カウント	説明	必要カウント
1	P+5 プリスケータは、A カウンタが 0 になるまで、A、B、C カウンタを減数カウントします。	P+5 プリスケータは、A カウンタが 0 になるまで、A、B、C カウンタを減数カウントします。	B●(P+5)
2	P+4 プリスケータは B カウンタが 0 になるまで B、C カウンタを減数カウントします。	P+1 プリスケータは B カウンタが 0 になるまで A、C カウンタを減数カウントさせます。	(A-B)●(P+1)
3	P プリスケータは C カウンタが 0 になるまで C カウンタを減数カウントします。	P プリスケータは C カウンタが 0 になるまで C カウンタを減数カウントします。	(C-A)●P
	総カウント	総カウント	P●C+4●B+A

N デバイダ

(図 1 参照)

高周波(および位相)出力をファクタ N で分周するデバイダです。

R デバイダ

(図 1 参照)

水晶基準周波数(および位相)をファクタ R で分周するデバイダです。

リファレンス・スプリアス

チャージ・ポンプのリーク電流や出力電流不均衡に起因し、PLL の出力に乘る不要周波数スパイクで、VCO 制御電圧を FM 変調します。

分解能帯域幅 (RBW)

スペクトラム・アナライザについての定義を参照ください。

感度

PLL チップの(VCO からの)高周波入力に対する下限電力です。これらの限界点で、カウンタが周波数をミスカウントし始め、正しく分周しなくなります。

スミス・チャート

デバイスのインピーダンスが周波数に対しどう変わるかを示す図です。

スペクトラム・アナライザ (図 4 参照)

入力信号の電力対周波数特性を表示する高周波測定器の一種です。この種の測定器は、周波数が時間に対し増加していく関数を取りそれを入力周波数信号とミキシングすることで機能します。ミキ

サの出力は、帯域幅が分解能帯域幅に等しい帯域フィルタでフィルタリングされます。このフィルタの帯域幅が狭くなるほど、通過するノイズが小さくなります。

スプリアス減衰度 (図 3 参照)

これは、ループ・フィルタがリファレンス・スプリアスを減衰させる度合いを表します。スプリアス減衰度の項は閉ループ伝達関数の一部です。

T31 比

これは 3 次フィルタの極周波数比です。この比が 0 ならば、実際は 2 次フィルタです。この比が 1 ならば、リファレンス・スプリアスが最小になる値であることがわかります。

スプリアス・ゲイン SG

これは比較周波数で見た開ループ伝達関数の大きさを意味します。スプリアス・ゲインは 2 つのループ・フィルタを比較するときのよい目安になります。

温度補償型水晶発振器(TCXO)

周波数精度を高めるため温度補償した水晶発振器です。

周波数許容値 tol (図 5 参照)

この範囲内で PLL が同期していると見なされる許容周波数誤差です。

バラクタ・ダイオード

これは、VCO の中の逆バイアスされたダイオードです。VCO の制御電圧が変わると、このダイオードの接合容量が変わり、次には VCO 電圧が変わります。

電圧制御発振器 (図 1 参照)

入力(制御)電圧に応じた出力周波数を発生するデバイスです。

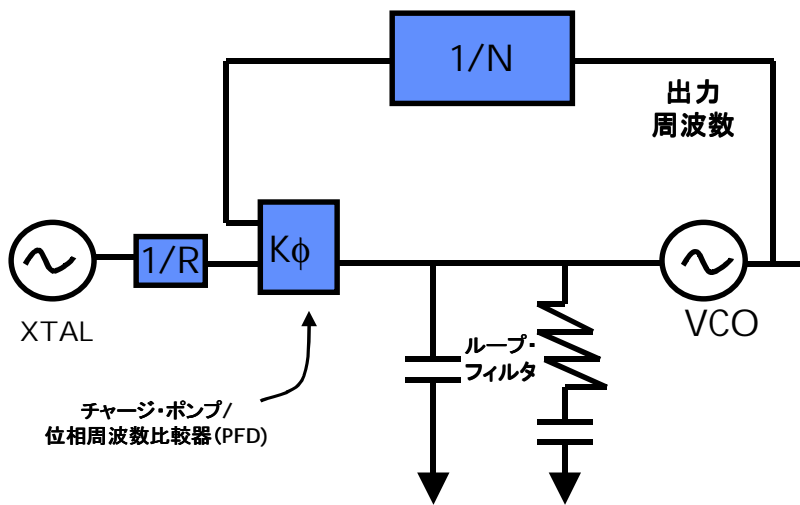


図1 基本PLL(周波数シンセサイザ)構成図

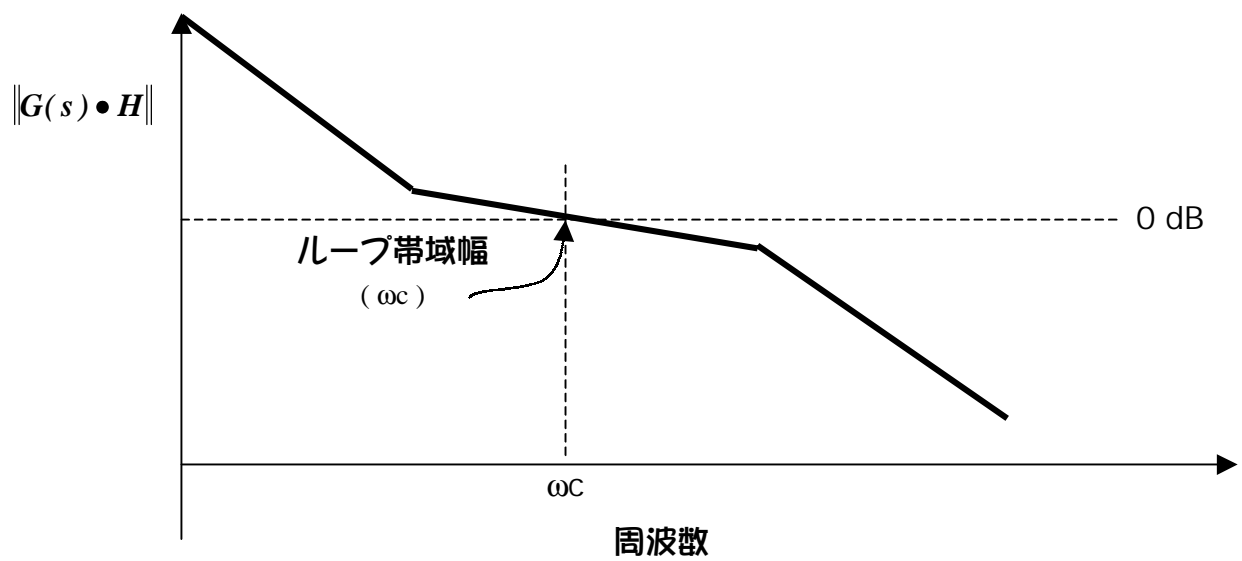


図2 PLLの開ループ応答

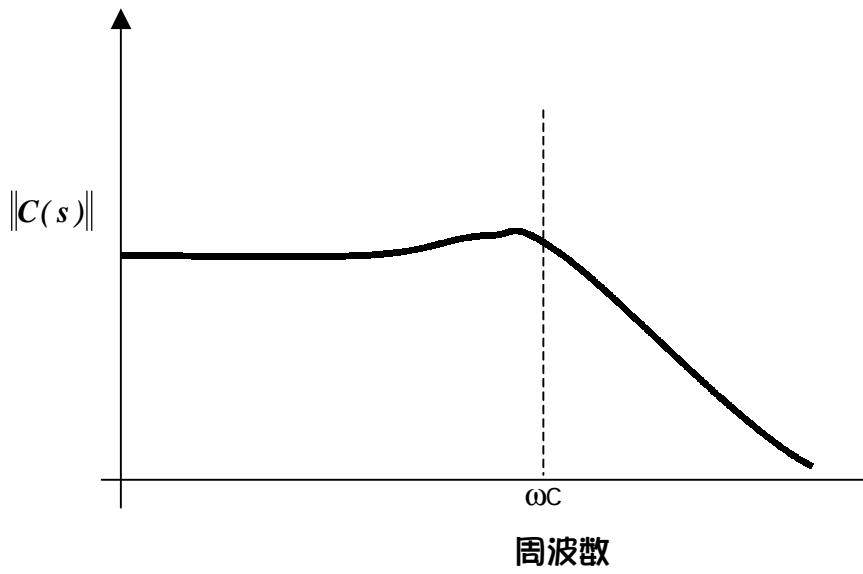


図3 PLLの典型的な閉ループ伝達関数

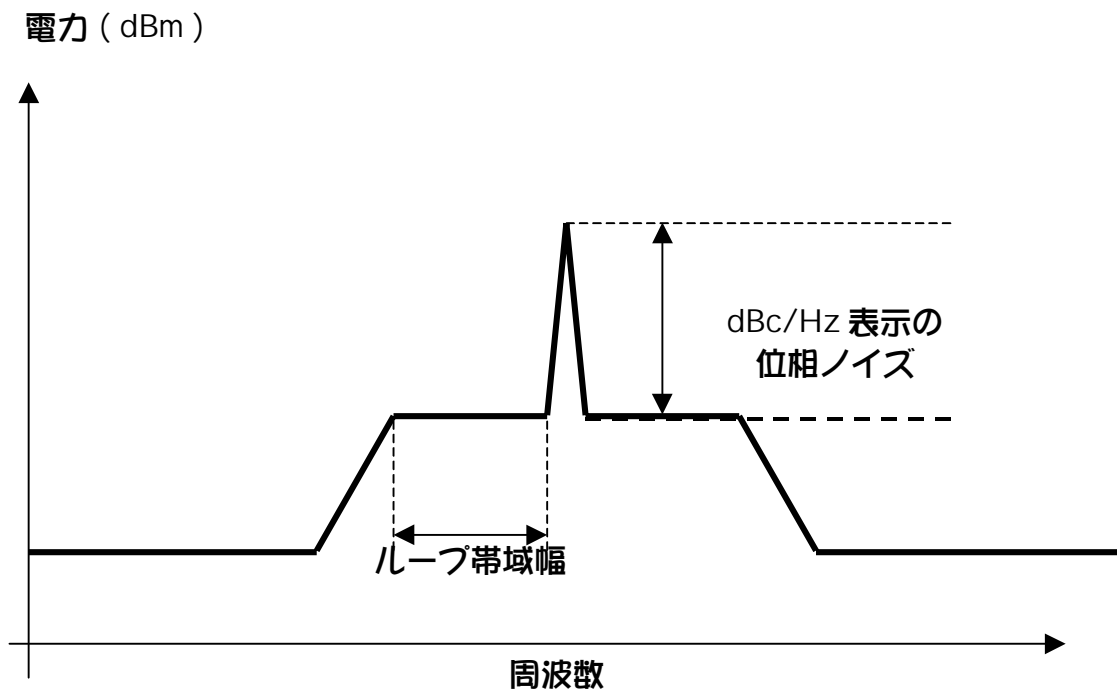


図4 PLLの典型的位相ノイズ曲線

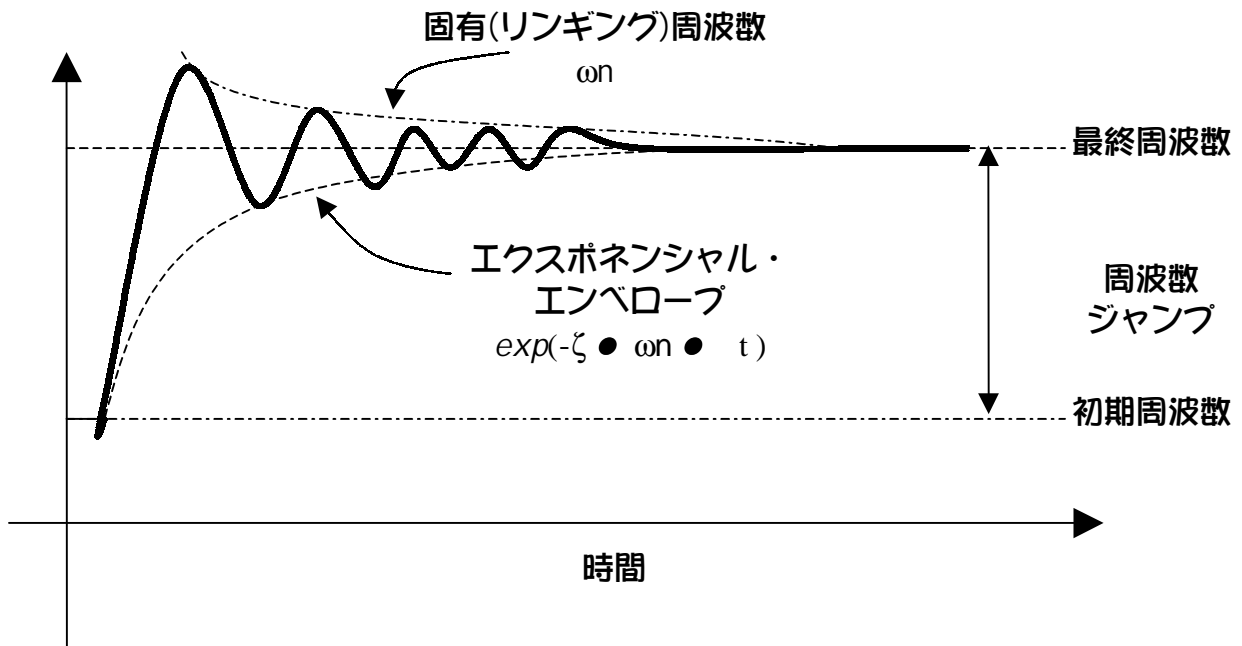


図5 PLLの典型的過渡応答

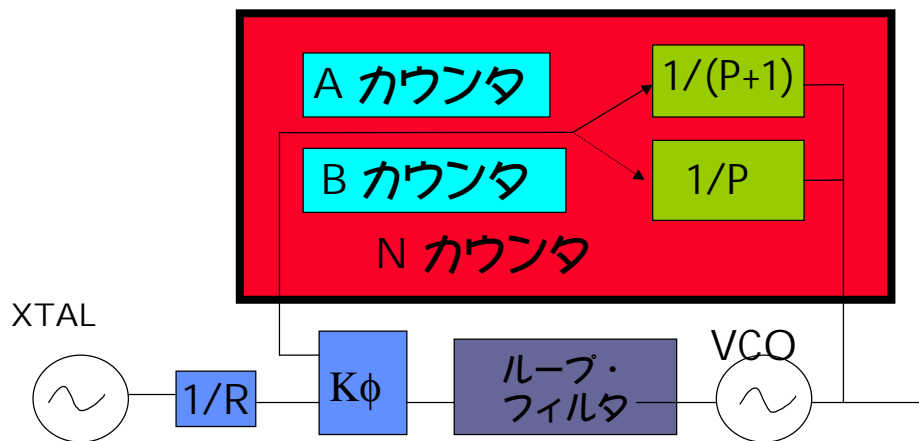


図6 デュアル・モジュラス・プリスケアラ

略語一覧

ループ・フィルタ・パラメータ

C1, C2, C3, and C4	ループ・フィルタ容量値
CL(s)	閉ループ PLL 伝達関数
f	Hz 表示の対象となる周波数
Fc	kHz 表示のループ帯域幅
Fcomp	比較周波数
Fj	ロックアップ時間での周波数ジャンプ
Fout	VCO 出力周波数
Fp	N 分周した VCO 周波数
Fr	R 分周した水晶発振周波数
Fspur	スプリアス周波数
G(s)	ループ・フィルタ伝達関数
H	1/N となる PLL のフィードバック量
i, j	複素数 $\sqrt{-1}$
K ϕ	mA/(2 π ラジアン) 表示のチャージ・ポンプ・ゲイン
KVCO	MHz/V 表示の VCO ゲイン
N	N カウンタ値
PLL	位相同期ループ
R	R カウンタ値
R2, R3, and R4	ループ・フィルタ抵抗値
s	ラプラス変換変数 = $2\pi \cdot f \cdot j$
T2	ループ・フィルタ伝達関数のゼロ点
T1, T2, T3, T4	ループ・フィルタ伝達関数の極
T31	極 T3 と極 T1 の比
T41	極 T4 と極 T1 の比
tol	ロックアップ時間内の周波数許容値
VCO	電圧制御発振器
XTAL	水晶基準発振器または水晶基準周波数
Z(s)	ループ・フィルタ・インピーダンス

ギリシャ文字記号

β	変調指数
ϕ	位相余裕度
ϕ_r	R 分周した水晶基準周波数の位相
ϕ_p	N 分周した VCO 出力周波数の位相
ω	ラジアン単位の対象となる周波数
ω_c	ラジアン単位のループ帯域幅
ω_n	固有周波数
ζ	弾性率

23. 参考文献

- Best, Roland E., *Phase Locked Loop Theory, Design, and Applications*, 3rd ed, McGraw-Hill, 1995
- Danzer, Paul (editor) *The ARRL Handbook (Chapter 19)* The American Radio Relay League. 1997
- Franklin, G., et. al., *Feedback Control of Dynamic Systems*, 3rd ed, Addison-Wesley, 1994
- Gardner, F., *Charge Pump Phased-Lock Loops*, **IEEE Trans. Commun.** Vol COM-28, pp. 1849-1858, Nov. 1980
- Gardner, F., *Phasd-Locked Loop Techniques*, 2nd ed., John Wiley & Sons, 1980
- Keese, William O. *An Analysis and Performance Evaluation for a Passive Filter Design technique for Charge Pump Phased Locked Loops.* AN-1001, National Semiconductor Wireless Databook
- Lascari, Lance *Accurate Phase Noise Prediction in PLL Synthesizers*, **Applied Microwave & Wireless**, Vol.12, No. 5, May 2000
- Lascari, Lance *Mathcad PLL Phase Noise Simulation Tool*
<http://home.rodchester.rr.com/lascari/lancepll.zip>
- Weisstein, Eric *CRC Concise Encyclopedia of Mathematics*, CRC Press 1998
www.treasure-troves.com